

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE
MINISTERE DE L'ENSEIGNEMENT SUPERIEUR ET DE LA
RECHERCHE SCIENTIFIQUE



UNIVERSITE ECHAHID HAMMA LAKHDAR – EL OUED
FACULTE DES SCIENCES ET TECHNOLOGIE
Département D'électronique

Mémoire de fin d'études présenté
Pour l'obtention du diplôme de

Master ACADEMIQUE

Domaine : Sciences et techniques
Filière : Electronique
Spécialité : Télécommunications

Présenté par : **BEKRI Omar**

HORRA Mohammed Djilani

Intitulé

Effet de la température sur le transistor DM

GaN MESFET submicronique

Soutenu le 02/06/2015

Devant le jury composé de :

Dr. **LAKHDAR Nacereddine**
M. **BOULILA Mohamed**
M. **BOUKAOUS Chahra**

MCB.
MAA
MAB.

Directeur du mémoire
Président
Rapporteur

2014-2015



Remerciements

*Avant tout, nous tenons à remercier le bon DIEU
qui illuminé notre chemin et qui nos a armé de courage et
la volonté pour réaliser ce travail.*

Nos remerciements en premier lieu à notre promoteur,

Monsieur LAKHDAR Nacereddine

*pour son aide, son suivi, ses encouragements et
ses conseils durant notre travail.*

*Enfin, tous ceux qui nous a aidé de près ou de loin, que ce soit par leur
amitié, leurs conseils ou leurs soutien moral, trouveront dans ces
quelques lignes l'expression de notre remerciements les plus vifs.*

À tous, pour tous, Merci





Dédicaces



A...

*Mes parents qui me sont les plus chers au monde, dont l'amour et
les sacrifices n'ont pas cessé de combler ma vie ;
que Dieu les protège et les garde pour moi.*

Mes frères et sœurs

Toute ma famille.

Tous les amis durant mes années d'études

Tous ceux que me sont chers

Nous dédions ce travail...



Omar, Mohammed Nani



Résumé: Dans cette étude, un modèle analytique dépendant de la température du transistor submicronique à grille double matériau adapté pour les applications de haute puissance est décrit. Le modèle prend en compte l'effet de la température sur les différents paramètres du dispositif afin de développer un modèle compacte du courant-tension du dispositif dans diverses conditions de haute température (300K-500K). Le modèle est en suite étendue à évaluer la dépendance en température de la transconductance et la conductance de sortie. Les résultats obtenus ont été vérifiés par son bon accord avec ceux des simulations numériques en 2D.

MOTS CLES: grille double matériau, GaN MESFET, Effet de la haute température, modélisation, Transconductance.

الخلاصة : في هذه الدراسة، وصفنا نموذج تحليلي تابع لدرجة الحرارة خاص بالمركب الإلكتروني للترانزستور ذو البوابة مزدوجة المعدن من أجل تطبيقات الطاقة العالية. النموذج يأخذ بعين الاعتبار تأثير درجة الحرارة على مختلف عوامل الجهاز من أجل وضع نموذج مندمج من الجهد – التيار للجهاز تحت ظروف مختلفة من درجات الحرارة المرتفعة (300K - 500K). يوسع هذا النموذج لاحقاً لتقييم تعلق درجة الحرارة بالناقلية و بموصلية المخرج. تم التحقق من توافق النتائج المتحصل عليها مع نظيرتها المستخلصة من المحاكاة العددية في 2D.

الكلمات المفتاحية: بوابة مزدوجة المعدن، ثنائي البوابة، مفعول الحرارة، نمذجة، الناقلية.

Abstract: In this travail, a temperature dependent analytical model of submicron Dual Material gate (DM) Gallium Nitride (GaN) MESFET suitable for high power applications is described. The model takes into account the effect of various temperature dependent device parameters in order to develop an accurate current-voltage model of the device under various high temperature (300K-500K) conditions. The model is then extended to evaluate the temperature dependence of transconductance and output conductance. The obtained results have been verified by its good agreement with 2D numerical simulations.

Keywords: dual-material gate, GaN MESFET, high temperature effects, modeling, transconductance

Table des matières

Remerciements

Dédicaces

Résumé

Table des matières

Liste des figures et des tableaux

Introduction générale..... 1

Chapitre I: Généralités sur le transistor à effet de champ

I-1	Introduction	3
	I-1-1- Propriétés des matériaux III-V	3
	I-1-2- Structure cristalline des matériaux III-V	5
	I-1-3- Arséniure de gallium.....	5
I-2	Les transistors a effet de champ	5
	I-2-1- Généralités.....	5
	I-2-2- Le transistor a effet de champ a jonction (JFET)	7
	I-2-2-1- Historique.....	7
	I-2-2-2- Description.....	7
	I-2-2-3- Principe de fonctionnement du JFET.....	8
	I-2-2-4- Contraintes et domaines d'utilisation.....	9
	I-2-3- Transistor a effet de champ a grille isolée (MOSFET)	9
	I-2-3-1- Historique.....	9
	I-2-3-2- Description.....	9
	I-2-3-3- Principe de fonctionnement du MOSFET.....	10
	I-2-3-4- Contraintes et domaines d'utilisation.....	11
I-3	Transistor a effet de champ a contact SCHOTTKY (MESFET).....	12
	I-3-1- Historique.....	12
	I-3-2- Description.....	12
	I-3-3- Principe de fonctionnement.....	13
	I-3-4- Contraintes et domaines d'utilisation.....	14
	I-3-5- Le transistor HEMT.....	14
	I-3-5-1- Historique.....	14

	I-3-5-2- Description.....	15
	I-3-5-3- Principe de fonctionnement.....	16
	I-3-5-4- Contraintes et domaines d'utilisation.....	17
I-4	Conclusion.....	17

Chapitre II: Différentes structures du transistor MOSFET

II-1	Introduction.....	18
II-2	Technologie multi-grille	19
II-3	La technologie SOI	20
	II-3-1- La technologie SOI à grille unique.....	20
	II-3-2- Avantages de la technologie SOI par rapport au MOSFET bulk.....	22
	II-3-2-1- Diminution des effets parasites.....	22
	II-3-2-2- Amélioration du contrôle de la grille sur la charge de déplétion...	22
II-4	Les transistors à grilles multiples	23
	a) Le transistor MOSFET double-grille DGFET.....	25
	b) Le triple-grille.....	27
	c) Le triple+-grille.....	27
	d) Le quadruple-grille.....	28
	II-4-1- Avantages des transistors à grilles multiples.....	28
	II-4-2- Inconvénient des transistors à grilles multiples.....	28
II-5	Conclusion	29

Chapitre III: DM GaN MESFET submicronique comprenant l'effet de la température

III-1	Introduction.....	30
III-2	Développement du model	31
III-3	Résultats Et Discussion	37
III-4	Conclusion.....	40

	Conclusion générale	41
--	----------------------------------	-----------

Références

Liste des tableaux

Tableau I-1- Propriétés des principaux composés binaires III-V à 300 K	4
Tableau I-2- La famille des composants à effet de champ	6
Tableau II-1- Architectures multi-grille non conventionnelles de transistor MOSFET	19
Tableau III-1- Paramètres utilisés pour le calcul des résultats présentés dans les Figures.2-5.....	34

Liste des figures

Figure I-1- Evolutions de l'énergie de bande interdite et du paramètre cristallin des alliages de composés III-V	4
Figure I-2- Mailles cristallographiques des structures Diamant et Zinc Blende.....	5
Figure I-3- Transistor JFET à canal N et symboles des deux types de JFET	7
Figure I-4- a) Comportement du JFET en fonction de V_D pour $V_G < 0$, b) régime de pincement, c) caractéristique I-V du JFET	8
Figure I-5- Principe d'un MOSFET à canal N : les zones hachurées sont de type N	10
Figure I-6- Pincement du canal en fonction de V_d	11
Figure I-7- Vue en coupe du MESFET GaAs	12
Figure I-8- Vue en coupe et polarisation d'un MESFET.....	13
Figure I-9- Structure de principe d'un HEMT classique associée à son diagramme de bande d'énergie	15
Figure I-10- Influence de la polarisation de grille sur le diagramme de bande	16
Figure II-1- Structure du DG MOSFET	18
Figure II-2- Schéma d'un substrat SOI (Silicon on Insulator)	20
Figure II-3- Coupe schématique de transistors MOS (a) bulk et (b) SOI	21
Figure II-4- Représentation schématique d'un transistor SOI : (a) entièrement déplété et (b) partiellement déplété	21
Figure II-5- Distribution de la charge de déplétion pour le MOSFET bulk et le SOI	23
Figure II-6- Evolution (en recherche) de la technologie SOI au fil des années.....	24

Figure II-7- Les différentes structures multi-grilles : SOI double-grille (2), SOI triple grille (3), SOI quadruple-grille/Surrounding- gate (4+), et grille en forme Π ou Ω (3+)	24
Figure II-8- Description des trois catégories d'architecture de transistor double-grille: (a) conduction planaire (b) conduction verticale (c) conduction latérale (FinFET)	25
Figure II-9- Orientation du transport électronique et effet de champ sur le MOSFET double grille planaire	26
Figure II-10- Orientation du transport électronique et effet de champ sur le MOSFET double grille quasi-planaire. (La flèche indique l'orientation du transport et la position des grilles indique la direction de l'effet de champ par rapport au plan supérieur du substrat qui correspond au plan horizontal)	26
Figure II-11- Orientation du transport électronique et effet de champ sur le MOSFET double grille vertical. (La flèche indique l'orientation du transport et la position des grilles indique la direction de l'effet de champ par rapport au plan supérieur du substrat qui correspond au plan horizontal)	27
Figure II-12- L'extension des grilles conduisant aux structures Π et Ω SOI MOSFETs	27
Figure III-1- Vue en coupe de la structure DM-GaN MESFET.....	31
Figure III-2- caractéristiques de sortie pour une longueur de canal de $0.2 \times 200 \mu m^2$ ($L_g = 0.1 \mu m$) pour la structure DM GaN MESFET à 300 et 500K pour différentes tensions de grille.....	37
Figure III-3- Variation du courant de drain en fonction de la température à $V_{ds}=10V$ et $V_{gs} = -1V$	38
Figure III-4- caractéristiques $I-V$ de $0.2 \times 200 \mu m^2$ ($L_g = 0.1 \mu m$) pour la structure DM GaN MESFET à 300K et 500K.....	39
Figure III-5- Transconductance en fonction de la température à $V_{ds}= 6V, 10V$ et $V_{gs}=-1V$	40

Introduction générale

L'industrie des TELECOM est développée rapidement grâce à la technologie semi-conducteurs, micro-électronique et nanoélectronique, dont le transistor est l'un des éléments les plus importants dans cette évolution. Afin de poursuivre l'augmentation des performances des transistors, on aura concentré sur le type à effet champ parce qu'il est l'élément essentiel de base des circuits intégrés, et considéré comme étant le moteur principal de l'industrie du semi-conducteur. Son utilisation dans la plupart des applications hyperfréquences et de commutation est justifiée par de remarquables performances.

L'évolution de la technologie CMOS sur silicium (Complementary Metal Oxide Semiconductor), constituée de transistors à effet de champ a influencé fortement la vie quotidienne, grâce à leurs performances continuellement améliorées ainsi qu'une utilisation croissante dans de nombreux domaines d'application. Le facteur critique de cette évolution est la réduction des dimensions des circuits intégrés et des composants les constituant, qui a permis une amélioration de la vitesse des circuits, a réduit l'énergie de commutation par circuit, et finalement a induit une augmentation de la densité d'intégration. Cependant, avec la réduction des dimensions des dispositifs, nous voyons apparaître, à présent, des phénomènes d'ordre théorique remettant en cause les avantages qu'offrait la technologie CMOS. Parmi ces phénomènes, nous avons notamment l'abaissement de la barrière de potentiel au niveau du drain (DIBL), les effets canaux courts (ECCs), le courant tunnel de grille, la fluctuation aléatoire des dopants. Pour contourner ces difficultés, l'une des solutions consistant à modifier l'architecture des composants actuels, notamment la conception grille à double matériau (DM) proposée afin d'améliorer l'immunité contre les effets à canal court et des défauts d'interface. C'est dans ce cadre que s'inscrivent les travaux présentés dans ce mémoire. Ce dernier est divisé en trois chapitres.

Le premier chapitre est dédié aux propriétés des matériaux III-V. Ensuite, nous décrivons une généralité sur les transistors à effet de champ et plus particulièrement les transistors les plus connus actuellement tels que JFET (Junction Field Effect Transistor), MOSFET (metal-oxide-semiconductor field-effect), MESFET (Metal-Semiconductor Field Effect Transistor) et HEMT (High-electron-mobility transistor). Leurs descriptions géométriques et physiques, leurs principes de fonctionnement et également leurs contraintes et domaines d'applications vont être présentés.

Le second chapitre est consacré à l'étude sur la technologie SOI, sur laquelle se basent généralement la conception des transistors MOSFET transistor à grilles multiples. Ensuite,

nous présentons les différentes structures des transistors MOSFET afin de montrer le comportement de chaque structure par rapport à l'autre pour réduire les effets à canaux courts. Nous donnons ainsi les avantages et les inconvénients des structures à grilles multiples. Dans le troisième chapitre, nous nous intéresserons aux élaborations des modèles du transistor MESFET à base de Nitrure de Gallium (GaN) et spécifiquement la nouvelle conception de grille à dual (double) matériaux (DM) incorporé l'effet de la température afin d'améliorer les performances électriques pour des applications numériques à haute vitesse et analogiques.

I-1- Introduction:

Les transistors constituent sans doute la plus large part de l'activité microélectronique moderne. Dans ce contexte, un très large effort s'est concentré sur les composants unipolaires, ce sont les composants qui ne reposent que sur le transport d'un seul type de porteurs. Ces composants incluent les transistors à effet de champ sous leurs différentes formes, JFET, MOSFET, MESFET...etc.

Le MESFET (Metal-Semiconductor Field Effect Transistor) à base de matériau GaAs a reçu une très grande attention en particulier en raison de son application dans les systèmes hautes fréquences et de puissances. Dans ce chapitre, nous donnons un aperçu sur les propriétés des matériaux III-V, ainsi leurs structures cristallines. Ensuite, nous décrivons une généralité sur les transistors à effet de champ et plus particulièrement les transistors les plus utilisés actuellement tels que JFET, MOSFET, MESFET et HEMT. Leurs descriptions géométriques et physiques, leurs principes de fonctionnement et également leurs contraintes et domaines d'applications sont présentés.

I-1-1- Propriétés des matériaux III-V:

Les matériaux III-V sont constitués des éléments des colonnes IIIb et Vb de la classification périodique des éléments. L'étude de leur structure de bandes montre toutefois, que les éléments les plus légers donnent des composés dont la bande interdite est large et indirecte, et dans laquelle la masse effective des électrons est élevée [1]. Le tableau (I-1) résume cette situation en donnant l'énergie E_g de la bande interdite, la masse effective m^*/m_0 (où m^* et m_0 sont respectivement la masse effective et la masse de l'électron dans le vide) des électrons du bas au bande de conduction, la mobilité électronique à champ faible μ et le paramètre cristallin a [2].

Composé III-V	Eg (eV)	m*/m0	μ (cm ² /V.s)	a (Å)
Al P	2,45			5,4510
Al As	2,16			5,6605
Al Sb	1,58	0,12	200	6,1355
B P	2,0			4,5380
Ga P	2,26	0,82	110	5,4512
Ga As	1,42	0,067	8500	5,6533
In P	1,35	0,077	4600	5,8686
In As	0,36	0,023	33000	6,0584
In Sb	0,17	0,0145	80000	6,4794

Tableau I-1- Propriétés des principaux composés binaires III-V à 300 K[2].

Cependant la figure (I-1) [2] représente le diagramme des variations de l'énergie de bande interdite en fonction du paramètre cristallin a qui varie lui-même avec la composition. Les points du graphe montrent la position des composés binaires stœchiométriques, et les lignes représentent l'évolution du gap Eg et du paramètre cristallin a, en fonction de la composition des alliages ternaires. Ce diagramme est donc très important parce qu'il permet de connaître la composition de tout alliage ternaire susceptible d'être déposé en couche mince, par épitaxie, sur un substrat binaire comme GaAs ou InP. Les matériaux III-V offrent donc une grande variété de compositions permettant de modifier leurs propriétés électroniques.

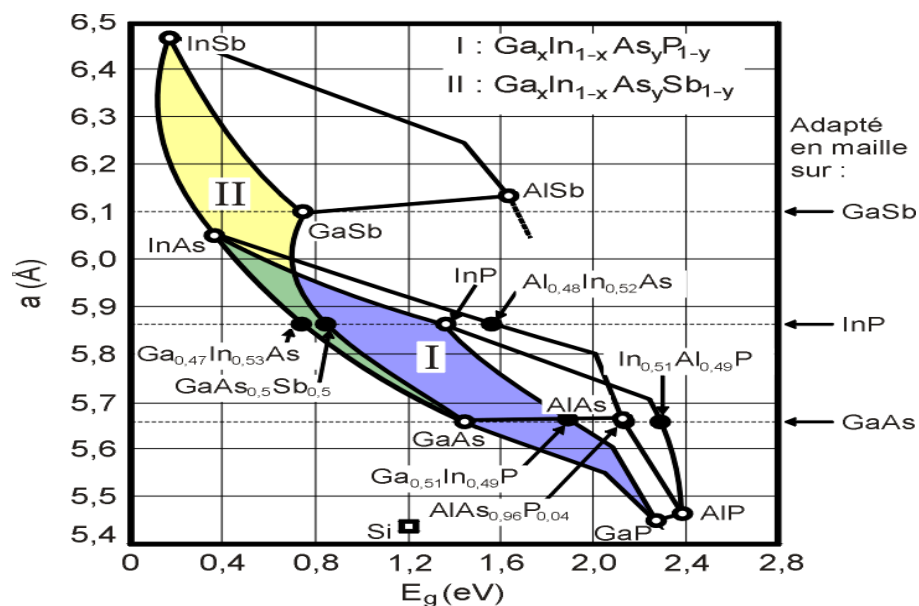


Figure I-1- Evolutions de l'énergie de bande interdite et du paramètre cristallin des alliages de composés III-V [2].

I-1-2- Structure cristalline des matériaux III-V:

La plupart des matériaux III-V cristallisent dans la structure sphalérite dite "Zinc Blende" présentée sur la figure (I-2). Cette structure, qui s'apparente à celle du diamant (C, Ge, Si, ...etc.), est constituée de deux sous-réseaux cubique face centrée (cfc), l'un d'éléments III et l'autre d'éléments V, décalés l'un par rapport à l'autre du quart de la diagonale principale.

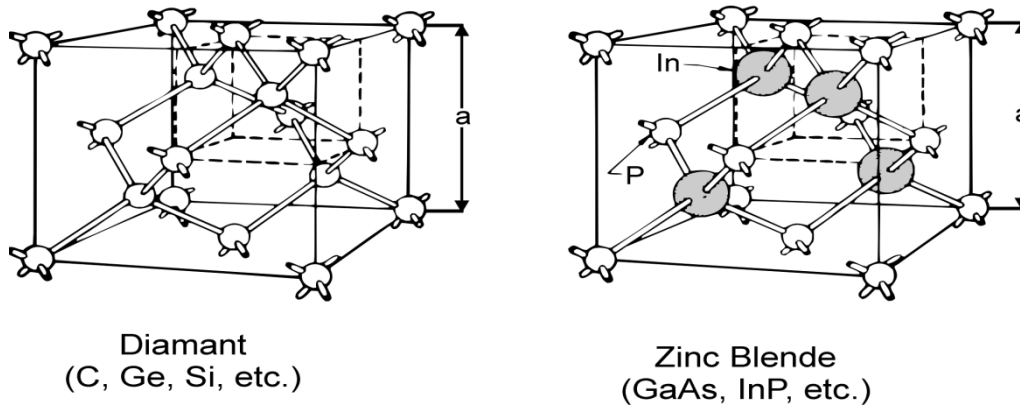


Figure I-2- Mailles cristallographiques des structures Diamant et Zinc Blende[3].

I-1-3- Arséniure de gallium:

Le choix d'un matériau permettant d'obtenir de hautes performances en circuits intégrés ne dépend pas uniquement de ses propriétés électriques. Il résulte d'un compromis entre différents critères tels que ses propriétés métallurgiques (tenue aux divers processus technologiques, par exemple), la diversité de composants élémentaires réalisables, et la tenue en fiabilité. Pour la réalisation des circuits intégrés numériques très rapides, l'arséniure de gallium (et ses dérivés ternaires) présente de nombreux avantages.

I-2- Les transistors a effet de champ:

I-2-1- Généralités:

Le transistor à effet de champ dénommé FET ou TEC repose sur le fonctionnement d'un dispositif semi-conducteur unipolaire, c'est-à-dire qu'un seul type de porteur intervient. Ainsi, pour une utilisation aux hautes fréquences, il est préférable que le type de porteur responsable de l'effet transistor soit celui présentant les meilleures propriétés de transport : mobilité, vitesse et coefficient de diffusion. Les électrons possèdent des propriétés plus intéressantes que les trous les FET sont essentiellement élaborés sur du matériau de type N. Leur principe peut être comparé à une résistance semi-conductrice dont la section est modulée par une

jonction polarisée en inverse, le principe décrit pour la première fois en 1952 par W .Shockley [4].

Sur ce principe, différentes structures de transistors à effet de champ correspondant à différents contacts de grille ont été élaborées [5]:

- grille à jonction PN pour le transistor JFET (Junction Field Effect Transistor),
- grille métallique isolée pour le transistor MOSFET (Metal Oxyde Semi-conductor Field Effect Transistor).
- grille métallique à barrière Schottky pour le transistor MESFET (Metal Semi- conductor Field Effect Transistor).

De nouveaux transistors pouvant contrôlés des puissances supérieures à celles des FET homogènes sont en train d'émerger [6]. Ils ne sont pas faits en Silicium ou en Arséniure de Gallium car ces matériaux sont utilisés près de leurs limites physiques ultimes. Aujourd'hui, les semi-conducteurs à large bande interdite sont les candidats idéaux pour réaliser un nouveau saut technologique. Nous pouvons citer les FET à Hétéro structure. En effet, les propriétés physiques (champ électrique de claquage, vitesse de saturation, conductivité thermique) des matériaux utilisés (ex: $Ga_{1-x}Al_xAs$) en font de ces composants un bon choix pour un grand nombre d'applications de forte puissance et à haute température. Dans ce sens, les technologues ont imaginé des procédés de fabrication de plusieurs types de composants à effet de champs qu'on regroupe suivant la structure dans l'organigramme suivant:

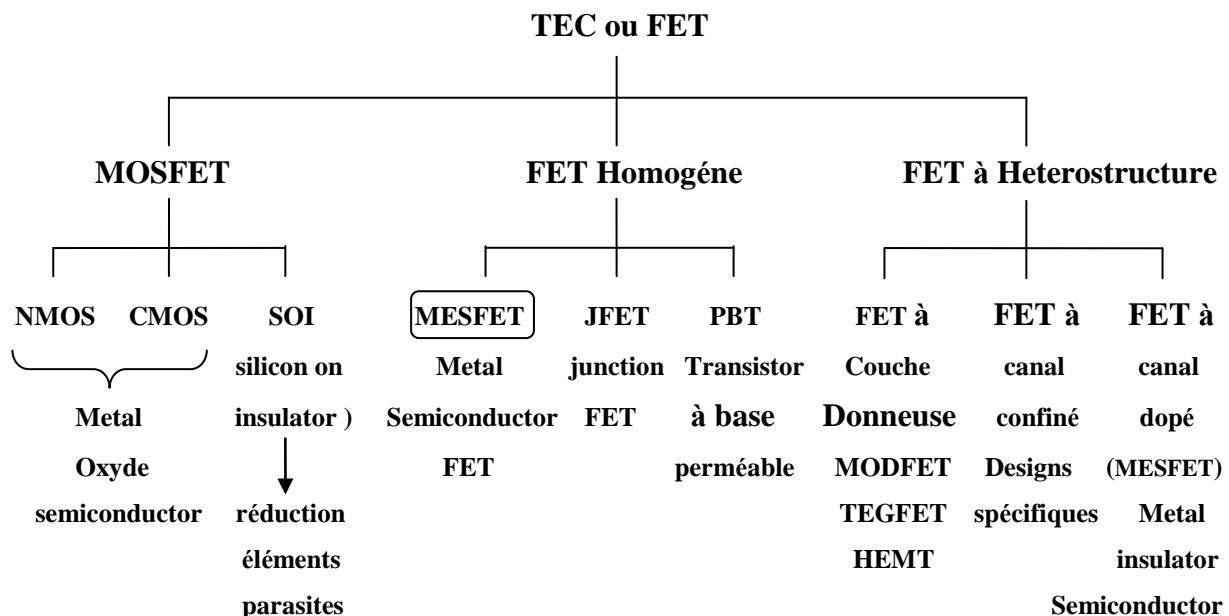


Tableau I-2- La famille des composants à effet de champ [7].

I-2-2- Le transistor à effet de champ à jonction (JFET):

I-2-2-1- Historique:

Le concept d'un semi-conducteurs à triode comme structure similaire au transistor à effet de champ à jonction (JFET) a été proposé, la première fois, par Jules Lilienfeld dans trois révélations de brevet au alentour en 1925, suivis d'un brevet semblable par Oskar Heil en 1935.

Cependant, un dispositif fonctionnant réellement est demeuré évasif pendant une période d'encre 25 années principalement dues à la difficulté de développer une surface semi-conductrice propre.

Après ces années, les efforts cumulatifs d'un certain nombre de chercheurs aux laboratoires de Bell comprenant Atalla, Bardeen, Brattain, brun, Derick, Frosch, Gibney, Hoerni, Kahng, Ligenza, Shockley, Spitzer, et Warner ont lentement mené à la réalisation de ce dispositif [8].

I-2-2-2- Description:

Le transistor JFET (Junction Field Effect Transistor) est un composant de structure plane. Il est constitué par une mince couche de matériau semi-conducteur de type N (pour un JFET canal N), sur un substrat de type P. Une diffusion de type P+ à la surface de la couche réalise l'électrode de la grille et constituant ainsi une jonction P+N verticale (voir figure I-3). Deux diffusions N+, aux extrémités du canal, permettent d'assurer les contacts ohmiques de source et de drain [9].

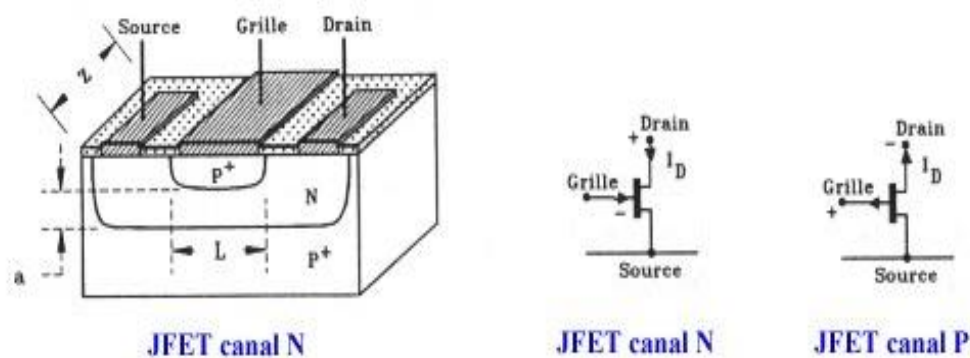


Figure I-3- Transistor JFET à canal N et symboles des deux types de JFET[9].

I-2-2-3- Principe de fonctionnement du JFET:

Dans le transistor à effet de champ à jonction (JFET), la variation de la tension de polarisation permet la modulation de la largeur de la zone de charge d'espace de la jonction latérale "P+N". Autrement dit, la variation de la polarisation module la variation de la section conductrice du canal. Sans polarisation, il peut y avoir une zone de désertion sur une certaine profondeur dans le canal. La désertion est liée à différents paramètres tels que le matériau de la grille et les propriétés d'interface.

Pour une tension drain-source (V_D) nulle, la variation de la tension grille (V_G) module la profondeur de la zone de désertion, et donc la partie conductrice du canal. Pour une polarisation $V_G < 0$ (et $V_D \approx 0$ volt), la zone de désertion se développe plus profondément dans le canal, provoquant le rétrécissement de celui-ci et donc une augmentation de sa résistance. Pour une tension $V_G = V_p$ (tension de pincement), la zone de charge d'espace occupe la totalité du canal. La résistance entre drain et source devient très élevée.

Pour une tension V_D non nulle et une tension V_G négative, on a un canal conducteur. Un courant I_D circule entre le drain et la source. Si V_D devient de plus en plus positive, le champ électrique à travers le canal augmente ainsi que la vitesse des électrons. La distribution de tension à travers le canal aura pour conséquence une différence de potentiel entre la grille et le canal sur la longueur de celui-ci. Ceci explique la différence observée pour la profondeur de la zone de désertion le long du canal, qui augmente vers le drain.

Si la tension V_D atteint la valeur V_{Dsat} (tension de saturation), le régime de pincement apparaît. Le courant I_D atteint sa valeur de saturation. L'augmentation de la tension V_D au-delà de V_{Dsat} n'affecte pas l'évolution du courant I_D qui garde une valeur relativement constante [10].

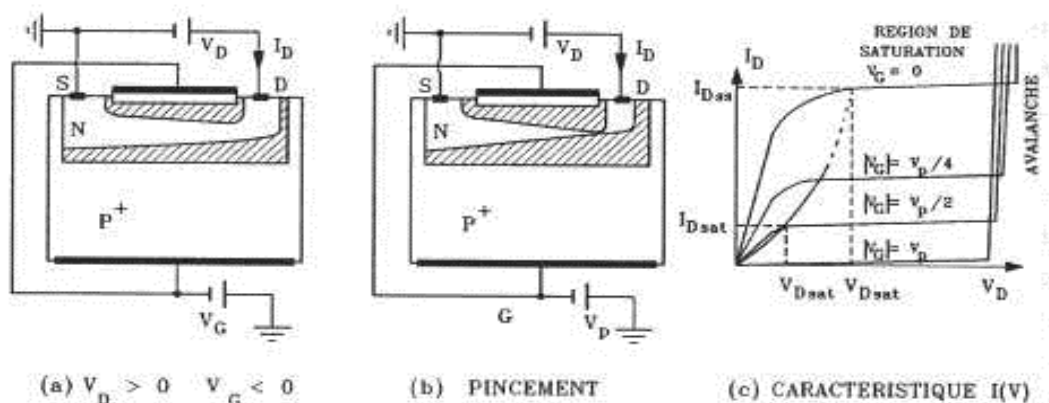


Figure I-4- a) Comportement du JFET en fonction de V_D pour $V_G < 0$, b) régime de pincement, c) caractéristique I-V du JFET [10].

I-2-2-4- Contraintes et domaines d'utilisation:

La forte impédance d'entrée des JFET (plusieurs dizaines, voire centaines de mégohms) associée à un faible bruit propre, rend ces transistors particulièrement bien adaptés à l'amplification des faibles signaux sous forte impédance.

En commutation, ils présentent par rapport aux transistors bipolaires certains avantages, comme un gain en puissance plus élevé et une impédance d'entrée aux faibles fréquences beaucoup plus forte, ce qui permet de réaliser de grandes constantes de temps avec des capacités assez faibles (réalisation de monostables ou d'astables) [11].

I-2-3- Transistor à effet de champ a grille isolée (MOSFET):**I-2-3-1- Historique:**

Le principe de fonctionnement du transistor (MOSFET) métal oxyde semi-conducteurs à effet de champ a été décrit pour la première fois par Lilienfeld en 1930 [12]. En décembre 1947, John Bardeen et Walter H. Brattain réalisaient le premier transistor en germanium [13].

Avec William B. Shockley le transistor à jonction et la théorie associée sont développées aux Bell Laboratoires en 1951. En 1958, Jack Kilby invente le circuit intégré en fabriquant cinq composants sur le même substrat [14]. C'est en 1960 que Kahng et Attala ont présenté le premier transistor MOS sur Silicium qui reste aujourd'hui le semi-conducteur généralement le plus utilisé, vu la qualité inégalée de l'interface créée par le silicium et l'oxyde de silicium (SiO_2), qui sert d'isolant. Peu après, l'élaboration de la technologie CMOS assura le futur commercial et technologique du MOSFET en électronique intégrée (mémoires, microprocesseurs, circuits logiques) grâce à une géométrie simple et une consommation pouvant être très faible.

I-2-3-2- Description:

Le MOSFET, acronyme anglais de Métal Oxide Semi-conducteur Field Effect Transistor, en français Transistor à Effet de Champ (à grille) Métal-Oxyde, Comme tous les transistors ou même les tubes à vide, le MOSFET module le courant qui le traverse à l'aide d'un signal appliqué à son électrode d'entrée ou grille. La structure du transistor MOSFET comprend un isolant (silice SiO_2), deux îlots, de type opposé à celui du substrat, la source et le drain, délimitent la région active du dispositif qui se situe précisément sous l'électrode de grille. L'intensité du courant circulant entre la source et le drain est commandée par la tension entre la grille et le substrat. Très souvent les électrodes de source et de substrat sont électriquement reliées.

Les deux types fondamentaux du MOSFET sont les MOSFET à appauvrissement D-MOSFET et les MOSFET à enrichissement E-MOSFET. Dans chaque type de MOSFET, on peut distinguer le MOSFET canal N (le courant provient du déplacement d'électrons) et le MOSFET canal P (le courant provient du déplacement des trous). Les transistors MOS à enrichissement sont bloqués sans tension de commande sur la grille (NORMALLY OFF), ils deviennent passants à partir d'une certaine tension de grille V_{th} . Plus $|V_{GS}| > |V_{TH}|$, plus le E-MOS devient passant. Les transistors MOS à appauvrissement sont passants sans tension de commande sur la grille (NORMALLY ON), ils deviennent de moins en moins conducteurs au fur et à mesure que la tension de commande augmente pour finalement se bloquer au-delà d'une tension de blocage V_{GSoff} [15].

I-2-3-3- Principe de fonctionnement du MOSFET:

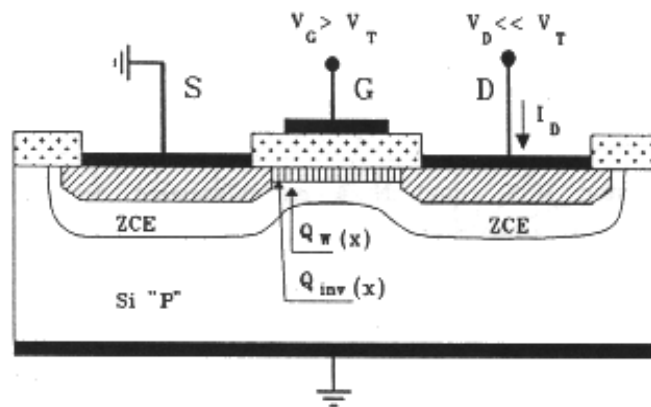


Figure I-5- Principe d'un MOSFET à canal N : les zones hachurées sont de type N [15].

La figure ci-dessus (figure I-5) illustre parfaitement le principe d'un transistor MOS à canal N. La source et le drain sont de type N+ (hachures obliques) et la grille est isolée du semi-conducteur par une couche d'oxyde. Lorsque la grille est polarisée positivement elle crée à l'interface diélectrique semi-conducteur une couche dite d'inversion (hachures verticales) comportant un grand nombre d'électrons (porteurs minoritaires de la zone P), dès que V_g est supérieure à une valeur de seuil V_T cette couche est suffisamment importante pour créer un canal conducteur entre les deux zones N+. Mais ceci suppose que le potentiel au drain soit très inférieur à ce seuil. La relation liant I_d à V_d est linéaire et le canal se comporte comme une simple résistance.

Si V_d croît, alors on obtient un effet de pincement analogue à celui constaté dans le JFET, illustré (Figure I-6), car la capacité du fait du potentiel positif appliqué sur le drain est moins polarisée de ce côté. Ce qui en d'autres termes revient à dire que la couche d'inversion

présente une épaisseur non uniforme et décroissante de la source vers le drain. Pour une valeur de $V_d = V_{dsat}$ on atteint la limite du pincement.

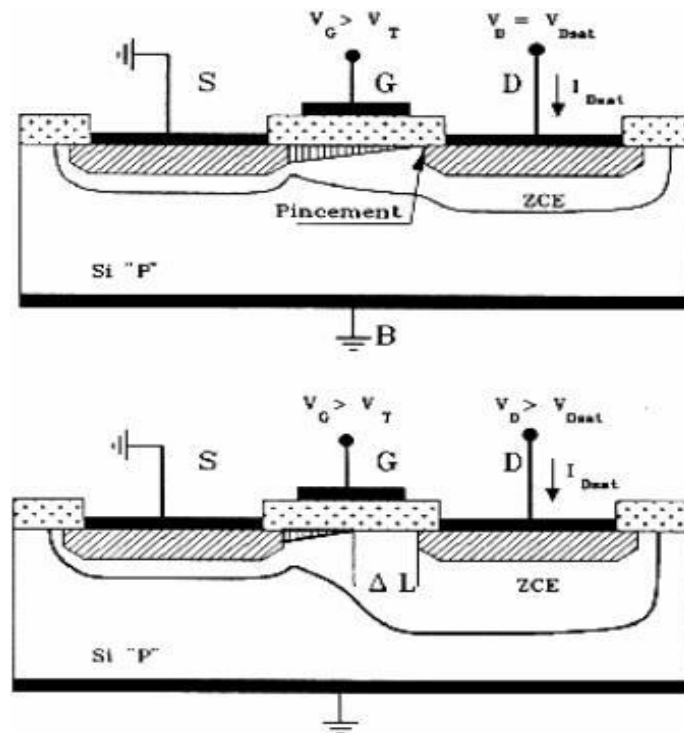


Figure I-6- Pincement du canal en fonction de V_d [15].

I-2-3-4- Contraintes et domaines d'utilisation:

La grille étant isolée, la résistance d'entrée du transistor MOS est très élevée (de $10^{11}\Omega$ à $10^{15}\Omega$), et la capacité grille-source étant très faible, ces transistors sont extrêmement sensibles aux charges électrostatiques qui peuvent provoquer le claquage de la couche de silice [16]. Il faut donc intégrer des dispositifs de protection contre les surtensions (le plus souvent, deux diodes tête-bêche placées entre grille et source). En raison de leurs très petites dimensions, de leur faible consommation et de leur facilité d'intégration, le domaine privilégié d'emploi des transistors MOS est celui des circuits intégrés (mémoires, microprocesseurs, circuits logiques).

Certes, ces dispositifs sont encore moins rapides [17], Malgré que des progrès spectaculaires ont été effectués en vue de la miniaturisation des transistors MOS et plus particulièrement la diminution de la longueur du canal, ce qui a permis d'augmenter la densité d'intégration et la vitesse de fonctionnement des circuits mais cette réduction de dimensions a engendré des phénomènes parasites (modification de la tension de seuil, augmentation du phénomène des porteurs chauds, ...) qui détériorent les caractéristiques courant-tension. Toutefois, les technologues ont imaginé des procédés de fabrication particuliers en vue de conserver ces

caractéristiques (Technologie SOI, NMOS, CMOS, VMOS, ...), par exemple les transistors de type VMOS (à grille particulière en forme de V) permettent des applications de puissance (plusieurs dizaines de watts) jusqu'à des fréquences très élevées (plusieurs milliers de mégahertz).

I-3- Transistor à effet de champ à contact SCHOTTKY (MESFET):

I-3-1- Historique:

Le MESFET (Metal Semi-conducteur Field Effect Transistor) fut le premier composant à être fabriqué à partir d'un composé III-V. En 1966 Carver Mead [18] proposa en premier lieu de remplacer le Silicium des premiers FET par un semi-conducteur III-V tel que l'Arséniure de Gallium (GaAs), puis réalisé par Hoop [19]. Cette évolution au niveau matériau a permis l'utilisation des MESFET aux fréquences micro-ondes, et depuis cette date de nombreux travaux ont été effectués pour réaliser des transistors de plus en plus performants à base de matériau à grand gap. Les premiers résultats obtenus avec un MESFET au carbure de silicium (4H-SiC) datent de 1994 [20].

I-3-2- Description:

Dans l'état de l'art aujourd'hui, la structure du Transistor à effet de champ à contact Schottky repose sur une couche active (canal) directement implantée dans le substrat semi-isolant.

Ensuite, la grille en métal réfractaire est déposée pour matérialiser le contact schottky. Puis les zones N+ sont implantées en se servant du métal comme d'un masque pour obtenir deux zones d'accès auto-alignées sur la grille.

La figure (I-7) présente une coupe schématique d'un MESFET. La structure présentée met en évidence les différentes couches utilisées pour sa réalisation. La couche active est généralement une couche du type N qui repose sur un substrat semi-isolant. Les contacts de source et de drain sont des contacts ohmiques contrairement au contact Schottky de grille [3].

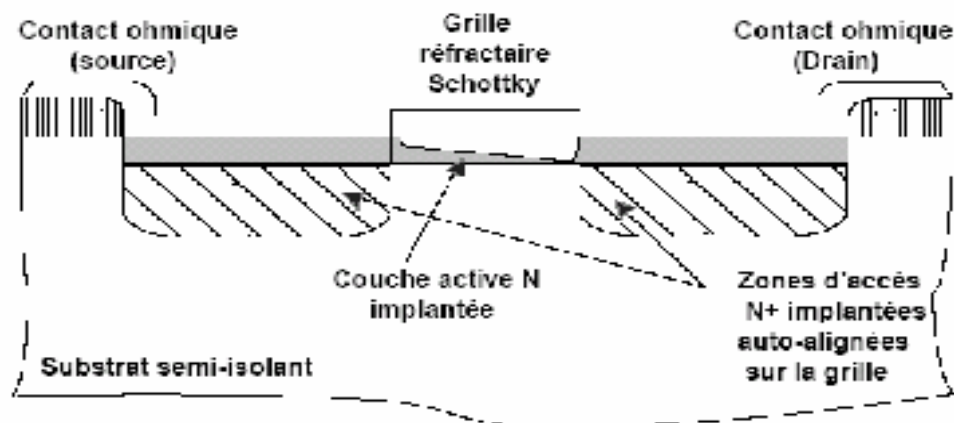


Figure I-7- Vue en coupe du MESFET GaAs [20].

I-3-3- Principe de fonctionnement:

La base du fonctionnement d'un MESFET est la possibilité de moduler l'épaisseur du canal sous la grille (figure I-8). Le contact de grille est de type Schottky. Une couche dépeuplée d'électrons libres, appelée zone de charge d'espace (ZCE), se crée sous la grille. Aucun courant ne peut traverser cette couche. La région où le courant peut circuler est donc réduite à la fraction de la couche active non dépeuplée. En régime de fonctionnement normal le drain est polarisé positivement par rapport à la source, tandis que la grille est polarisée négativement, toujours par rapport à la source.

Le fonctionnement d'un MESFET est résumé par les étapes suivantes :

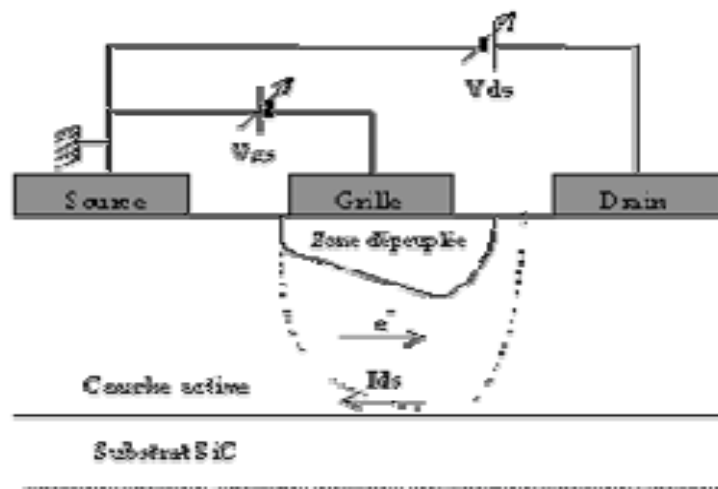


Figure I-8- Vue en coupe et polarisation d'un MESFET [20].

- A tension de drain fixée, la polarisation négative de la grille a pour effet d'augmenter la pénétration de la zone de charge d'espace dans la couche active, diminuant ainsi le passage du courant. Lorsque la tension de grille est suffisamment négative, la ZCE vient complètement obstruer le canal (en pointillé sur la figure I-8), ne laissant plus passer le courant. Le transistor est alors dit « pincé » et la tension appliquée sur la grille est alors appelée tension de pincement (V_p).
- A tension de grille fixée, l'augmentation de la tension positive de drain crée un champ électrique dans le canal. Ce champ entraîne les électrons de la source vers la grille, établissant ainsi un courant I_{ds} (drain-source).
- Avec l'accroissement de la tension de drain, la section de la zone dépeuplée (zone de charge d'espace) commence à se déformer en devenant beaucoup plus importante côté drain que côté source. Ce resserrement du canal provoque un ralentissement de la croissance du courant de drain. Arrivé à un certain stade, l'augmentation de la tension V_{ds} n'a quasiment plus aucune influence sur le courant. On nomme le courant de saturation (I_{dsat}), lorsque le courant de drain

(I_{ds}) du transistor commence à rentrer dans la zone de saturation pour une tension de polarisation de grille V_{gs} nulle [15].

I-3-4- Contraintes et domaines d'utilisation:

Le MESFET GaAs est longtemps resté le composant à effet de champ prépondérant pour l'amplification de puissance micro-onde. En effet, les propriétés de transport électronique de l'Arséniure de Gallium permettent d'obtenir des densités de porteurs dont la vitesse moyenne dans le canal est bien supérieure à celle du Silicium. Avantage supplémentaire, le GaAs permet le dépôt de contacts ohmiques de bonne qualité par rapport à la plupart des autres composés III-V. Pour fournir une puissance élevée, le FET doit pouvoir délivrer un courant drain-source I_{ds} le plus élevé possible tout en supportant des tensions V_{ds} de grande amplitude. Cependant, l'obtention d'un fort courant I_{ds} nécessite l'emploi de dopages élevés qui entraînent une dégradation de la tension de claquage. D'autre part, si l'on veut privilégier un fonctionnement à de très hautes fréquences, il convient de réduire la longueur de grille. La nécessité de garder un facteur d'aspect (le rapport entre la longueur de grille et l'épaisseur de la couche active) raisonnable contraint alors à diminuer l'épaisseur de cette couche active, ce qui se traduit par une diminution de courant drain-source.

Pour des applications de forte puissance, des MESFET utilisant des matériaux dits à « grand gap » présentent des caractéristiques intéressantes. Ainsi, l'utilisation du Carbure de Silicium SiC permet d'obtenir des performances élevées grâce à un champ de claquage huit fois plus élevée et une conductivité thermique trois fois plus élevée que le Silicium. Ces propriétés permettent d'utiliser les composants avec des tensions très élevées, de plusieurs dizaines de volts et à haute température. Compte tenu de ces performances, le domaine d'utilisation privilégié de ces composants est l'amplification de très forte puissance (Objectif > 100W) pour l'émission en station de base par exemple [15].

I-3-5- Le transistor HEMT:

I-3-5-1- Historique:

Les premiers transistors HEMT (High Electron Mobility Transistor) sont apparus en 1980 (Fujitsu, Thomson) . En 1985, le HEMT est présenté comme un composant micro-onde unique ayant les plus faibles caractéristiques en bruit au monde. Initialement, ce transistor était utilisé dans un radiotélescope à Nobeyama, Japon, qui présente un diamètre de 45 mètres. En refroidissant le composant à la température de l'hélium liquide, il est possible de capter un signal provenant d'une molécule interstellaire située à mille années lumières de la Terre. Plus tard, le HEMT sera implanté dans des récepteurs de télévision pour capter les

signaux des satellites géostationnaires (36000km d'altitude). Puis petit à petit, ce composant se fera une place dans notre quotidien.

Le HEMT constitue une évolution majeure du MESFET et a pris le pas sur ce dernier depuis le début des années 1990 [20].

I-3-5-2- Description:

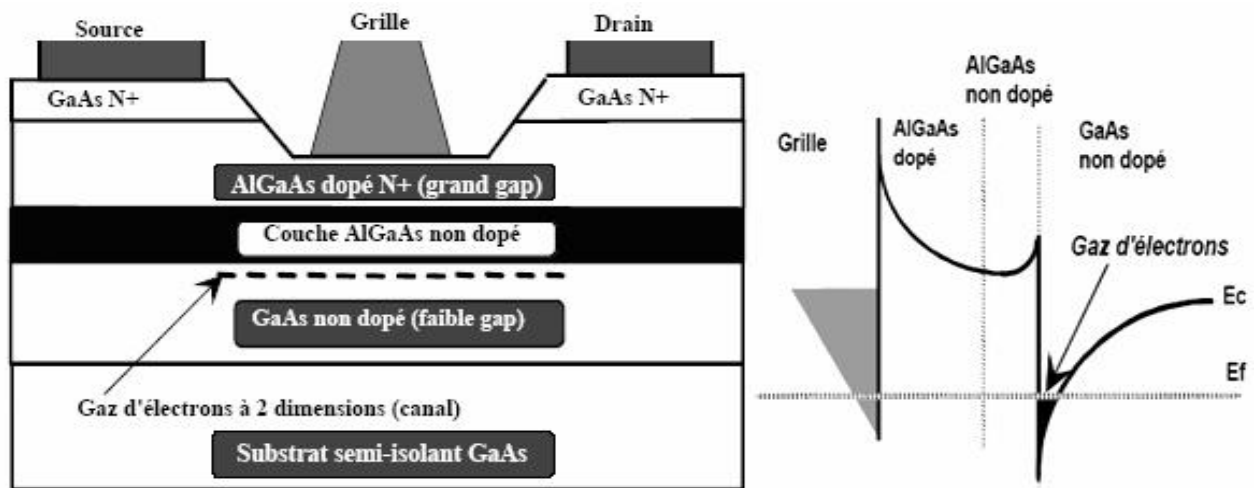


Figure I-9- Structure de principe d'un HEMT classique associée à son diagramme de bande d'énergie [20].

La figure (I-9) représente la structure de couches ainsi que le diagramme de bande d'énergie d'un HEMT classique utilisant le GaAs et l'AlGaAs comme couches actives. La couche de surface utilise l'AlGaAs fortement dopé N avec un grand gap se comportant ainsi comme un isolant. En revanche, le canal, non dopé, est composé d'un matériau à faible gap (GaAs). De ce fait, des électrons libres diffusent de l'AlGaAs vers la couche GaAs laissant la zone N de grand gap déplantée et donc chargée positivement. Ces électrons s'accumulent à l'hétéro interface (grand gap / petit gap) formant ainsi un gaz d'électrons à deux dimensions plus ou moins profond suivant la polarisation de la tension de grille. Les propriétés de transport de ce gaz d'électrons sont considérablement supérieures à celles des électrons libres dans un MESFET classique puisque le canal se situe dans une zone non dopée à très forte mobilité. De plus, les collisions entre électrons n'ont que rarement lieu en raison de défauts peu nombreux. Pour ces différentes raisons, le HEMT est un dispositif à très fort gain et à très faible bruit HF [20].

I-3-5-3- Principe de fonctionnement:

La structure des couches des HEMT est réalisée de façon à séparer physiquement les électrons libres dans le canal des donneurs ionisés, ceci afin d'augmenter la mobilité des électrons par la réduction de la répartition des impuretés ionisées. Ainsi la différence essentielle entre les MESFET et les HEMT se situe au niveau du principe même du contrôle du courant dans le canal.

Alors que dans le cas du MESFET, l'électrode de grille contrôle la section du canal disponible pour la conduction, dans le cas du HEMT, elle contrôle la densité d'un gaz d'électrons libres dans une zone non dopée située sous l'hétéro interface qui constitue le canal du transistor.

Le gaz d'électrons étant créé, il est possible de contrôler la densité de porteurs dans le canal par l'intermédiaire de la tension appliquée sur la grille. La figure (I-10) présente les diagrammes de bande de la zone située sous la grille en fonction de la polarisation de grille appliquée. Lorsque la tension V_{gs} augmente, le puits de potentiel devient de plus en plus profond, permettant à un nombre plus grand d'électrons de diffuser dans le GaAs. Comme pour le MESFET, la tension V_{ds} crée un champ électrique dans le canal qui entraîne les électrons de la source vers le drain, formant ainsi un courant I_{ds} (drain-source). Pour des tensions de grille suffisamment négatives, la densité de porteurs dans le canal devient négligeable et aucun courant significatif ne circule dans le canal. Le HEMT est alors pincé. L'évolution du courant de drain en fonction de la tension de drain et pour différentes valeurs de la tension de grille est sensiblement la même que pour le MESFET. De plus, un effet de saturation de courant intervient également pour le HEMT. Il provient de la limite de vélocité des électrons [20].

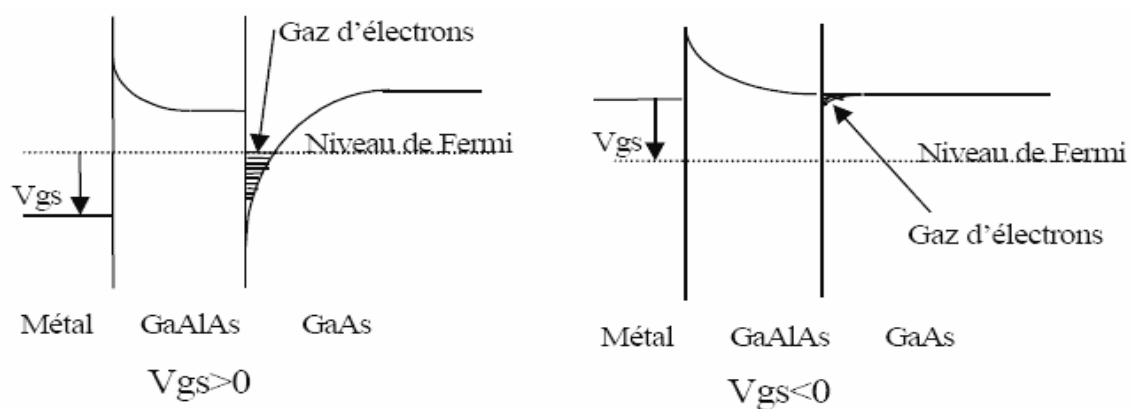


Figure I-10- Influence de la polarisation de grille sur le diagramme de bande[20].

I-3-5-4- Contraintes et domaines d'utilisation:

Si le HEMT a permis des utilisations en fréquence bien plus hautes que celles du MESFET, sa limite fréquentielle est de l'ordre de 60-70 GHz. Cette limite est principalement due aux propriétés de transport du matériau intrinsèque, c'est-à-dire l'Arséniure de Gallium. De plus le HEMT génère un bruit basse fréquence élevé. Il est le composant privilégié pour des applications de puissance hautes fréquences ainsi que pour des applications à faible bruit telles que les circuits de pré-amplification des satellites ou encore les oscillateurs. En conséquence pour satisfaire aux besoins sans cesse croissants de montée en fréquence, l'idée de base a été de remplacer le GaAs du canal par un autre matériau à faible gap autorisant une vitesse V_s à fort champ électrique la plus élevée possible : l'InGaAs. Les récents progrès technologiques en matière d'épitaxie ont donc donné naissance à un nouveau type de transistor à hétérojonction : le HEMT pseudo morphique (PHEMT) [6].

I-4- Conclusion:

Après avoir rappelé la structure physique et le principe de fonctionnement des différents transistors à effet de champ (JFET, MOSFET, MESFET et des HEMT), et à travers une analyse de leurs performances pour des applications hautes fréquences et hautes puissance, nous nous sommes particulièrement intéressés au MESFET GaAs qui est longtemps resté le composant à effet de champ prépondérant pour l'amplification de puissance micro-onde. En effet, les propriétés de transport électronique de l'Arséniure de Gallium permettent d'obtenir des densités de porteurs dont la vitesse moyenne dans le canal est bien supérieure à celle du Silicium. Ceci va permettre de réduire le temps de transit dans la grille ainsi que dans les résistances de contact. Avantage supplémentaire, le GaAs permet le dépôt de contacts ohmiques de bonne qualité par rapport à la plupart des autres composés III-V. Ceci indique que pour des composants tels que les MESFET, les performances fréquentielles seront supérieures à celles des composants réalisés sur silicium.

II-1- Introduction:

La loi de Moore traduit de manière empirique mais réaliste l'évolution de la microélectronique. De nos jours, il devient malheureusement de plus en plus difficile de suivre cette loi. Les limitations technologiques représentant un réel frein à la croissance de cette industrie, l'entrée dans l'ère nanométrique nécessite non seulement de mobiliser des ressources intellectuelles importantes mais aussi des investissements financiers colossaux. De nombreuses solutions sont actuellement étudiées pour contourner les limitations technologiques liées à la réduction d'échelle du transistor MOS standard. Certaines de ces solutions incluent des modifications au sein des structures existantes, dans l'espoir de prolonger leur miniaturisation. Selon le rapport de l'ITRS (International Technology Roadmap for Semiconductors), le transistor MOS à double-grille appelé DGFET (Fig. II.1) est identifié comme l'un des candidats les plus prometteurs pour les futurs circuits intégrés à très grande densité d'intégration. Ceci est essentiellement dû à son aptitude intrinsèque à suivre la tendance continue de miniaturisation des dispositifs (grâce au contrôle du canal par les deux grilles). En parallèle et afin de satisfaire aux exigences du concepteur de circuits, il est nécessaire de développer des modèles compacts de ces technologies émergentes, précis, simples, efficaces en termes de temps de calcul, contenant un minimum de paramètres et enfin, prédictifs. Les travaux se positionnent depuis quelques années dans le cadre de la modélisation compacte du transistor MOS à grilles multiples.

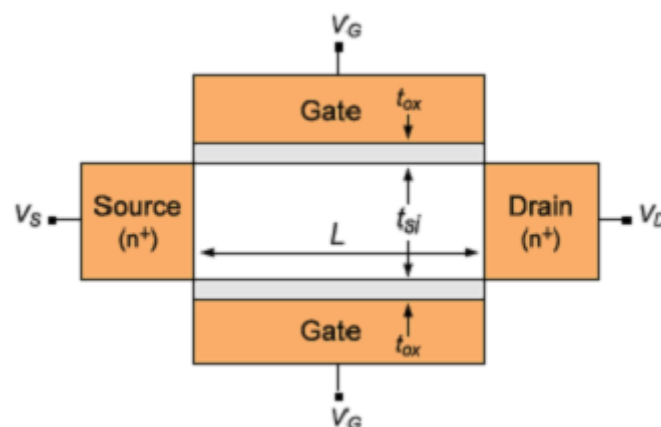


Figure II-1- Structure du DG MOSFET[19].

II-2- Technologie multi-grille:

Les architectures MOSFET multi-grille améliorent nettement le contrôle électrostatique du canal, réduisant les effets canaux courts et optimisant ainsi le courant de conduction tout en minimisant la consommation statique. L'ITRS de 2004 [19] propose de nombreuses architectures multi-grille innovantes rassemblées dans le Tableau II.1.

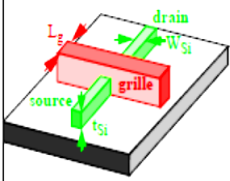
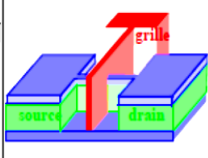
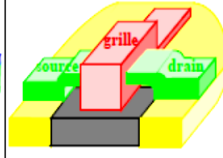
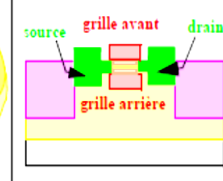
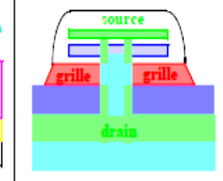
Dispositif	Transistors MOSFET multi-grille				
	N-grilles (N>2) MOSFETs	MOSFETs double-grille			
					
Concept	- grilles reliées entre elles (nombre de canaux > 2)	- grilles reliées entre elles - conduction latérale	- grilles reliées entre elles - conduction planaire	- grilles indépendantes l'une de l'autre - conduction planaire	- conduction verticale
Applications CMOS	- High power (HP) - Low Operating Power (LOP) - Low Standby Power (LSTP)	- HP - LOP - LSTP	- HP - LOP - LSTP	- LOP - LSTP	- HP - LOP - LSTP
Points forts	- I_{on} plus grand - ailettes 2 fois plus épaisses	- I_{on} plus grand - amélioration de l'inverse de la pente sous le seuil - amélioration contre les effets canaux courts	- I_{on} plus grand - amélioration de l'inverse de la pente sous le seuil - Réduction des effets canaux courts	- Réduction des effets canaux courts	- potentiel pour une intégration 3D
Faiblesses	- largeur quantifiée du dispositif limitée - effets de coin	- épaisseur de l'ailette inférieure à la longueur de grille	- largeur limitée (< 1µm)	- difficultés d'intégration - capacité de grille arrière (recouvrement grille/Source-Drain) - dégradation de la pente sous le seuil - alignement de grille	- réalisation des profils de jonction - difficultés d'intégration du procédé - capacité parasite - une seule longueur de grille

Tableau II-1- Architectures multi-grille non conventionnelles de transistor MOSFET [19]

Comme le montre le Tableau II.1, extrait de l'ITRS 2004, il existe une grande diversité de géométries multi grille.

Néanmoins, il est possible de les classer dans trois grandes catégories distinctes suivant la direction du transport électronique et la direction du champ de grille par rapport au plan du substrat qui est le plan horizontal. Cependant avant d'aborder en détail ces différentes catégories, il devient indispensable de présenter la technologie SOI sur laquelle se basent toutes ces architectures.

II-3- La technologie SOI:

Longtemps quasiment exclusivement utilisée pour sa bonne tenue face aux radiations ionisantes [20], la technologie SOI a connu une grande diversification de ses applications aussi bien en électronique qu'en optique où elle permet la réalisation de guides optiques très performants [21]. Un substrat SOI, schématisé en Figure II.2, se compose d'un empilement de trois couches. Un oxyde, dit « enterré », est intercalé entre 2 couches de silicium cristallin : la zone active et le substrat.

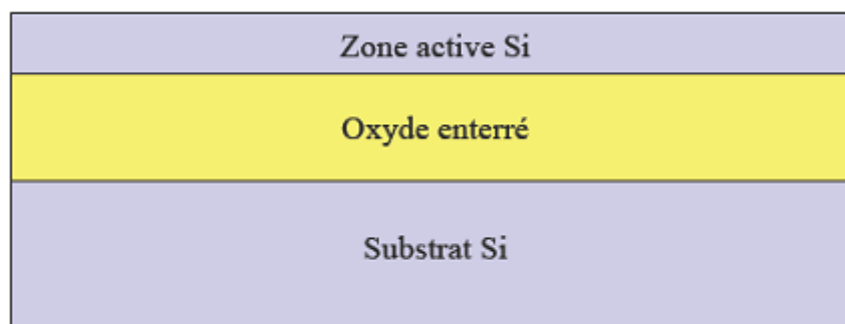


Figure II-2- Schéma d'un substrat SOI (Silicon on Insulator) [21].

La très nette amélioration de la technologie SOI en qualité et en coût la rend très compétitive et ce d'autant plus qu'elle permet une bonne compatibilité avec les technologies CMOS actuelles [22]. Par exemple, la méthode révolutionnaire nommée « Smart cut », permet à l'heure actuelle de fabriquer des substrats SOI dits « Unibond » avec des couches actives de silicium ultrafines et de très bonne qualité cristalline [23]. On peut aussi citer la technologie SON (Silicon On Nothing) qui permet d'associer des zones « SOI » et « non SOI » sur une même puce [24].

II-3-1- La technologie SOI à grille unique:

Le terme SOI (Silicon On Insulator) signifie littéralement silicium-sur-isolant. Contrairement au MOSFET bulk (Fig. II.3.a) où les composants sont réalisés sur un substrat de silicium – appelé parfois bulk – d'une épaisseur de l'ordre de 600µm dont seuls les premiers microns en surface sont réellement utiles, le SOI est réalisé sur un film de Silicium au préalable posé sur

une couche d'oxyde enterrée (Fig. II.3.b). Le film de silicium a une épaisseur que nous noterons t_{Si} .

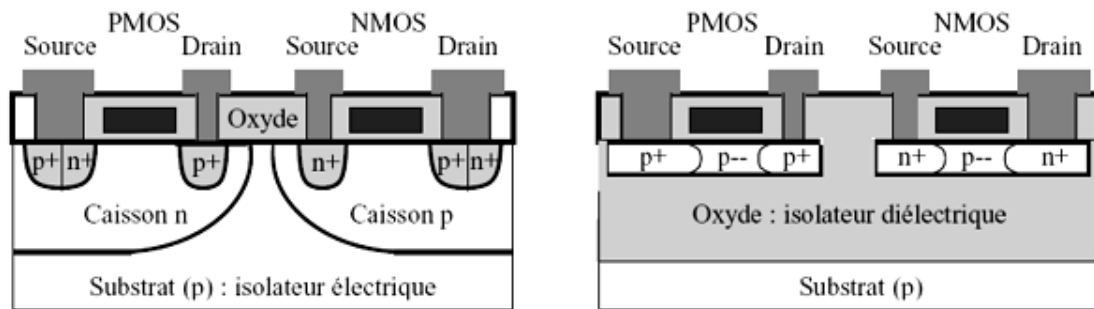


Figure II-3- Coupe schématique de transistors MOS (a) bulk et (b) SOI [25]

Toujours à l'opposé du transistor MOS bulk où le canal d'inversion est localisé à l'interface silicium-oxyde, la structure SOI a donnée naissance au concept d'inversion volumique [26]. La présence de l'oxyde enterré permet un meilleur contrôle du potentiel dans le canal par la grille que dans le transistor MOS sur silicium massif. Pour des films de silicium épais, la zone de déplétion dans le film n'atteint pas l'oxyde enterré; nous parlons alors de transistor partiellement déplété (ou PDSOI, "Partially Depleted SOI"). Lorsque l'épaisseur du film est réduite et que la déplétion atteint l'oxyde enterré, le film est donc complètement déserté et la grille améliore le contrôle du potentiel dans le film ; nous parlons alors de transistor entièrement déplété (ou FDSOI, "Fully Depleted SOI"). La figure II.4 décrit ces deux structures.

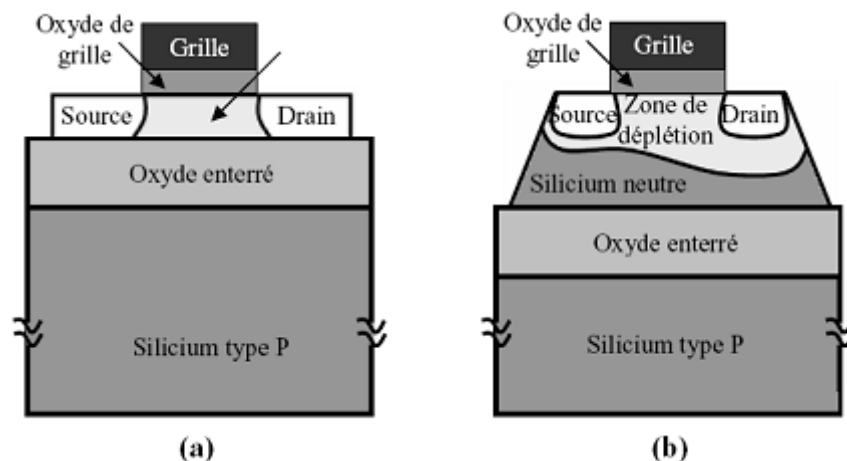


Figure II-4- Représentation schématique d'un transistor SOI : (a) entièrement déplété et (b) partiellement déplété [25]

Le fait que le SOI soit partiellement ou entièrement déplété dépend essentiellement de l'extension de la couche de désertion dans le film de silicium. La profondeur X_{Si} de la zone de désertion dans le film dépendra du dopage du film [27].

II-3-2- Avantages de la technologie SOI par rapport au MOSFET bulk:

Les propriétés électriques de cette structure, en particulier du transistor SOI entièrement déserté (déplété), sont dans l'ensemble bien meilleures comparées au transistor MOS bulk. Il est d'ailleurs estimé que ce composant est un candidat susceptible de réussir l'intégration des dispositifs de dimensions longitudinales inférieures ou égales à 30nm [28].

Les avantages de la technologie SOI sont multiples, on citera entre autre :

II-3-2-1- Diminution des effets parasites:

Par la seule présence de l'oxyde enterré, les capacités parasites sont considérablement réduites.

- Les capacités de jonction source-substrat et drain-substrat, qui correspondent à la capacité d'une jonction polarisée en inverse pour le MOSFET bulk, ne sont en réalité pour le SOI qu'une capacité d'oxyde C_{Box} .

- Le transistor SOI présente, toujours par comparaison au transistor MOS bulk, un canal de conduction plus mince et isolé [28], une simplification des niveaux d'interconnexions au-dessus des transistors du fait de l'absence des caissons.

- Lorsque le film de silicium est faiblement dopé, voire non dopé, il peut être entièrement déplété à tension V_{grille} nulle, ce qui est également avantageux en ce qui concerne le courant de percement en surface.

- Élimination du latch-up sur le SOI., qui est présent sur le MOSFET bulk, (le latch-p est un phénomène parasite dû au déclenchement du thyristor parasite lié à la proximité des zones N+ et P+ de transistors nMOS et pMOS voisins). Sur le SOI (Fig. II.3b), ces zones sont totalement isolées et, ainsi, le claquage entre ces deux zones est impossible.

La faculté d'augmenter la densité d'intégration est une conséquence directe de la suppression de ces effets parasites [28].

II-3-2-2- Amélioration du contrôle de la grille sur la charge de déplétion:

Les modèles de séparation de charge fournissent la proportion de la charge de déplétion contrôlée par la grille par rapport à celle contrôlée par la source et le drain. Le rapport entre la charge de déplétion contrôlée par la grille et le drain (ou la source) est beaucoup plus important pour un transistor SOI, par comparaison à un transistor MOS sur substrat massif, de même dimensions à savoir de même longueur L , largeur W , de même épaisseur d'oxyde de grille t_{ox} , et même profondeur de jonction X_j .

Ce phénomène est d'autant plus marqué que la longueur du canal diminue comme le montre la figure II.5.

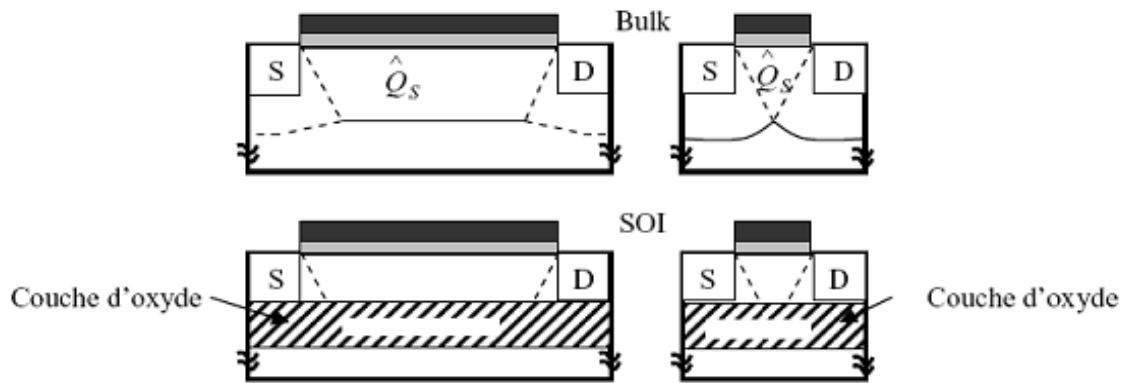


Figure II-5- Distribution de la charge de déplétion pour le MOSFET bulk et le SOI [29]

Naturellement, réduire l'épaisseur d'oxyde ne ferait que réduire l'influence électrostatique ; en revanche, insérer une grille en-dessous de l'oxyde constituerait un bouclier qui bloquerait complètement les lignes de champs. Ceci permettrait directement de protéger le canal et de réduire les effets canaux courts. Cette structure, permettant ainsi d'insérer une seconde grille est appelée structure double grille dite DGFET. Le double-grille (DG) rentre dans le cadre des structures multi-grilles que nous présentons dans la section suivante.

II-4- Les transistors à grilles multiples:

Nous avons pu expliquer brièvement auparavant que la technologie SOI à simple grille ne permettait pas de réduire les effets canaux courts en raison notamment de l'influence électrostatique existante. Cependant, l'ajout de grille autour de la couche de silicium, non seulement favorise l'isolement du canal de conduction, d'où sa protection, mais offre également un meilleur contrôle sur ce canal. C'est ainsi que sont apparus, au cours de cette décennie, de nouvelles structures ayant deux, trois, voire quatre grilles [28]. Ces nouvelles structures sont considérées comme étant une amélioration des structures MOSFET SOI sur bulk. De ce fait, l'évolution des dispositifs SOI avec l'augmentation du nombre de grilles est illustrée en figure II.6 et figure II.7.

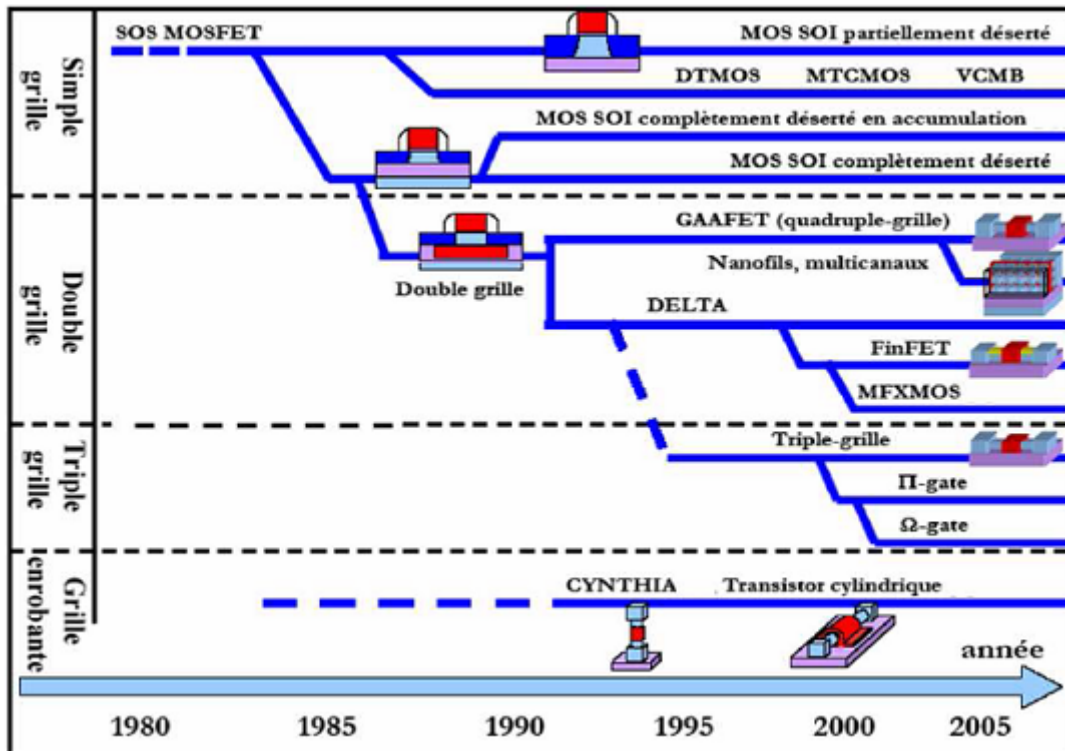


Figure II-6- Evolution (en recherche) de la technologie SOI au fil des années [30]

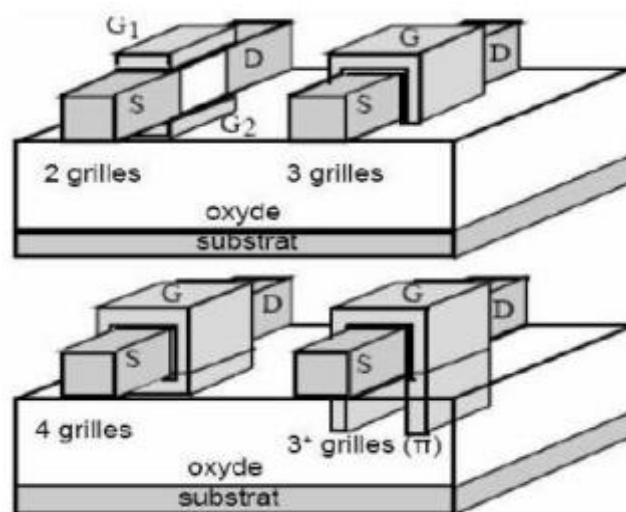


Figure II-7- Les différentes structures multi-grilles : SOI double-grille (2), SOI triplegrille (3), SOI quadruple-grille/Surrounding- gate (4+), et grille en forme Π ou Ω (3+) [30]

Suivant le nombre de grilles qui contrôle le canal et leur positionnement autour du film de silicium, la dénomination des MOSFETs SOI diffère, ainsi nous trouvons dans la littérature (Fig. II.8):

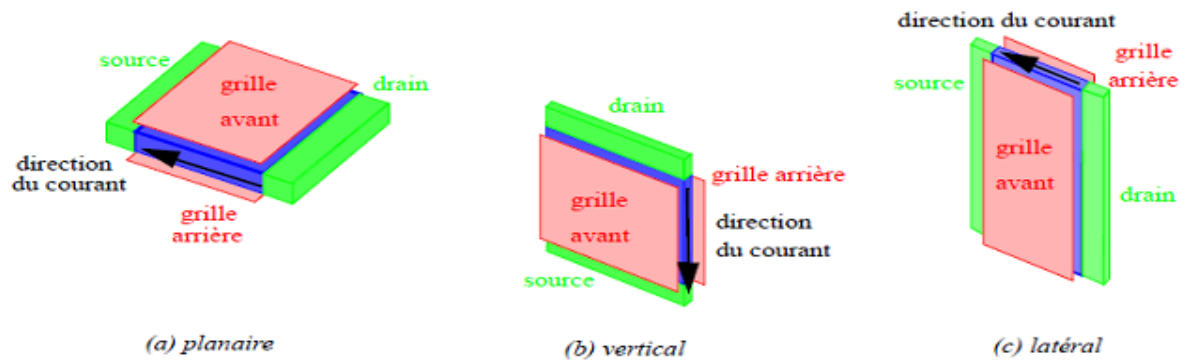


Figure II-8- Description des trois catégories d'architecture de transistor double-grille: (a) conduction planaire (b) conduction verticale (c) conduction latérale (FinFET) [30]

a) Le transistor MOSFET double-grille DGFET:

Le transistor MOSFET double-grille (DG) est constitué de deux grilles placées sur le plan horizontal. La figure II.7 présente cette architecture. Chaque grille exerce un contrôle sur le ou les canaux. Il existe une autre structure qui appartient à la catégorie DGFET double grille bien qu'elle possède trois grilles ; elle est souvent appelée dans la littérature, le FinFET. Cette structure dispose d'une « troisième grille » reliant les deux autres grilles. Par rapport à un dispositif MOSFET double-grille planaire, l'avantage d'un transistor FinFET est l'auto-alignement intrinsèque des deux grilles. La « troisième grille » se trouve sur une couche d'oxyde de grille d'une épaisseur importante. De ce fait, elle n'effectue aucun contrôle sur le canal. Ainsi, seules les deux grilles latérales créent et contrôlent un canal d'inversion. De plus, on observera qu'au niveau de la structure MOSFET double grille planaire, on peut en différencier deux variantes.

En effet suivant la manière dont le dispositif est polarisé, nous assistons à des modes de fonctionnement différents. Nous avons ainsi :

le MOSFET double-grille en mode de fonctionnement symétrique.

le MOSFET double-grille en mode de fonctionnement asymétrique.

Les transistors MOS double-grille (DG) sont regroupés en trois catégories suivant la direction du transport électronique et la direction du champ de grille par rapport au plan du substrat qui est le plan horizontal. Ainsi, nous pourrions différencier :

Le transistor double-grille planaire:

Dans ce cas le transport électronique s'effectue parallèlement au plan de substrat et le champ de grille est perpendiculaire au substrat (Fig. II.9).

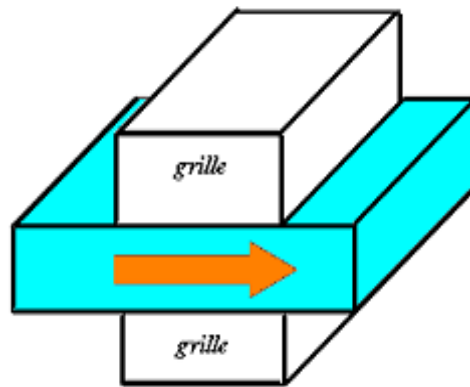


Figure II-9- Orientation du transport électronique et effet de champ sur le MOSFET double grille planaire[30].

Le transistor double-grille quasi-planaire:

Dans ce cas le transport électronique et le champ de grille sont parallèles au plan du substrat (Fig. II.10).

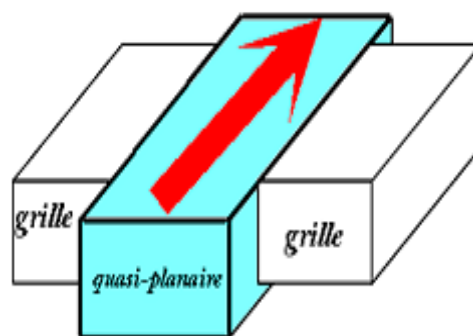


Figure II-10- Orientation du transport électronique et effet de champ sur le MOSFET double grille quasi-planaire. (La flèche indique l'orientation du transport et la position des grilles indique la direction de l'effet de champ par rapport au plan supérieur du substrat qui correspond au plan horizontal) [30]

Le transistor double-grille vertical:

Dans ce cas le transport électronique est perpendiculaire au plan de substrat et le champ de grille est parallèle au substrat (Fig. II.11).

Ces trois catégories de double-grille possèdent des particularités technologiques « telles qu'une résolution lithographique et un alignement des grilles » totalement différentes. En conséquence de ces différences du point de vue technologique, les propriétés électriques demeurent nettement modifiées lorsque nous passons d'une catégorie à une autre.

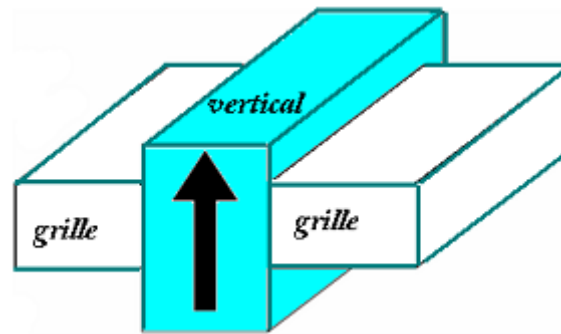


Figure II-11- Orientation du transport électronique et effet de champ sur le MOSFET double grille vertical. (La flèche indique l'orientation du transport et la position des grilles indique la direction de l'effet de champ par rapport au plan supérieur du substrat qui correspond au plan horizontal) [30]

b) Le triple-grille:

Cette structure dispose de trois grilles (TG), dont une au-dessus de l'oxyde et une sur chaque face latérale (Fig. II.7). Les couches d'oxyde au contact de chacune des grilles ont une épaisseur suffisamment faible pour permettre la formation de trois canaux à l'intérieur du film de silicium [28].

c) Le triple+-grille:

Ces transistors sont représentés sur la figure II.12. Ils sont constitués non seulement de trois grilles positionnées au-dessus de l'oxyde de grille et sur les faces latérales, mais également de deux extensions.

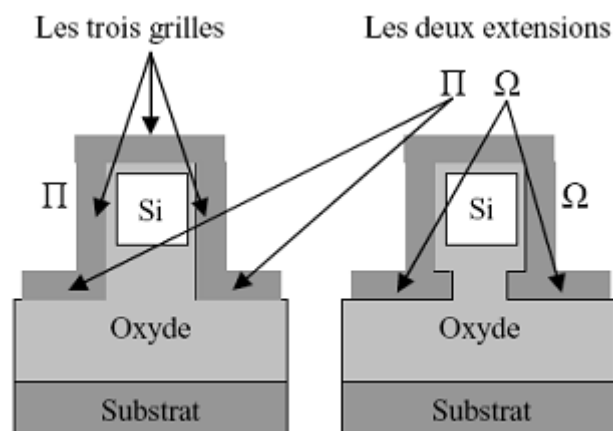


Figure II-12- L'extension des grilles conduisant aux structures Π et Ω SOI MOSFETs [30].

Suivant la forme de ces extensions, l'architecture diffère [28]. Si ces extensions se développent verticalement dans l'oxyde enterré, soit suivant la continuité des grilles latérales, nous parlons de structure PIFET. Si ces extensions se développent horizontalement, soit perpendiculairement aux grilles latérales, nous parlons de Ω FET.

Ces extensions sont généralement obtenues en sur-gravant l'oxyde dans la phase de définition des zones actives.

Leur rôle consiste à améliorer considérablement le contrôle électrostatique de la grille.

d) Le quadruple-grille:

Ce composant possède quatre grilles (QG). La structure est décrite sur la figure II.7. Le film de silicium est recouvert de grille sur les quatre faces, d'où leur autre nom : "surrounding-gate" [28]. Des études restent encore à mener pour déterminer tous les avantages de ce type de composant.

II-4-1- Avantages des transistors à grilles multiples:

L'idée d'ajouter de plus en plus de grilles repose sur le fait que, si l'épaisseur du film actif de silicium entre les différentes grilles est suffisamment faible, ces grilles polarisées peuvent commander le volume global de silicium entre la source et le drain. La conduction s'effectuant alors de manière volumique et non plus surfacique [28], on s'attend à des effets avantageux pour la valeur du courant de drain. De plus, la prise de contrôle du canal se révélant plus importante, on s'affranchit des effets canaux courts liés à l'influence de V_{ds} : la diminution drastique de l'épaisseur d'isolant devient moins cruciale. Enfin, par leurs dispositions, les grilles font enseigne de bouclier contre les lignes de champs créées par la polarisation du drain et qui influent sur la circulation des électrons. Finalement, les performances sont nettement améliorées avec de telles architectures multi-grilles. A cet effet, elles font l'objet actuellement de recherches intenses dans de nombreux laboratoires.

II-4-2- Inconvénients des transistors à grilles multiples:

L'un des inconvénients de ces structures dites à grilles multiples est essentiellement l'accroissement des résistances des extensions source et drain. De plus, les dimensions de la zone active étant réduites à moins de quelques dizaines de nanomètres dans toutes les directions, de multiples questions se posent quant à la physique du transport dans ces dispositifs : importance du transport balistique [31] ou par effet tunnel [32] entre source et drain. Finalement, le point qui reste de loin le plus critique réside, bien entendu, dans leur fabrication qui nécessite la mise en oeuvre de procédés plus que délicats.

II-5- Conclusion:

Dans ce chapitre, nous avons présenté brièvement la technologie SOI, sur laquelle se basent généralement la conception des transistors MOSFET à grilles multiples. Ensuite, nous avons décrit les avantages de la technologie SOI par rapport à celle Bulk. Les différentes structures des transistors MOSFET ont été présentées afin de montrer le comportement de chaque structure par rapport à l'autre pour réduire les effets à canaux courts. Nous avons ainsi donné les avantages et les inconvénients des structures à grilles multiples. La diversité des structures montrées dans la littérature donnent une amélioration du comportement des dispositifs pour les applications à haute puissance/fréquence. Ceci nous a aidé de penser à des structures diverses afin d'améliorer les performances de ces dispositifs et donnant un autre défi d'investissement qui est l'objet de notre travail.

III-1- Introduction:

Le transistor MESFET à base de Nitrure de Gallium (GaN) est un candidat prometteur pour les applications micro-ondes de forte puissance. En raison de leur grande largeur de bande interdite, tension de claquage élevée, grande vitesse de saturation, conductivité thermique élevée et simplicité de fabrication, ces dispositifs sont très adaptés à la haute puissance, haute fréquence et les applications à haute température [33-35]. Bien que la bonne performance démontré par GaN MESFETs en termes d'applications des circuits à haute fréquence / haute vitesse, des études approfondies afin de les améliorer pour les applications de haute puissance et de micro-ondes est en cours d'investissement. Pour plus d'amélioration des performances électriques, de nouvelles structures et amélioration de celles conventionnelles basées sur l'aspect de l'ingénierie de grille ont été reportés pour étudier et améliorer le comportement sous le seuil pour les applications numériques et analogiques [36-39]. Plusieurs technologies de GaN MESFET montrent une excellente promesse pour les applications à haute puissance, la vitesse de commutation et les propriétés de gain. Cependant, avec la réduction de la longueur de canal, le contrôle des résistances parasites, courant de drain en régime de saturation et les paramètres en petits signaux ont posé des défis cruciaux aux efforts pour la technologie de la miniaturisation à base de GaN MESFETs [39]. La plupart des travaux sur GaN MESFETs comprennent principalement la modélisation du potentiel de canal en 2D, tension de seuil et les caractéristiques $I-V$ des dispositifs à grille à base d'un seul matériau [40]. La conception de GaN MESFET basée sur une grille à double-matériau a été proposée par F. Djefal et al. [39] pour améliorer l'immunité aux porteurs chauds, effets à canaux courts (ECCs), les paramètres en petit signal et la possibilité de réduire la taille du dispositif pour les applications des circuits analogiques et numériques à haute vitesse. Il a été démontré que le GaN MESFETs à grille double matériau est extrêmement prometteur pour des applications répandues dans les circuits analogiques micro-ondes. Cependant, non seulement le fonctionnement à haute fréquence est nécessaire pour les dispositifs de puissance à micro-ondes, mais il est important d'étudier leur stabilité thermique.

La chaleur générée pendant le fonctionnement à haute puissance peut augmenter significativement la température du dispositif, ce qui dégrade les performances du dispositif radicalement [41]. Par conséquent, il est nécessaire d'étudier le mécanisme de fonctionnement du dispositif à des températures élevées. Bien que notre modèle précédent [39] décrit les caractéristiques $I-V$ de la structure basée sur une grille à double matériau, mais il ne prend pas en considération la dépendance de la température.

Ce travail propose un modèle analytique compacte qui représente l'effet de la température sur la performance de DM GaN MESFET est présenté pour le calcul des caractéristiques courant-tension et de paramètres en petits de signaux. La validité du modèle proposé est illustrée en comparant les résultats analytiques avec les résultats de simulation obtenus en utilisant le simulateur des dispositifs ATLAS 2D [42].

III-2- Développement du model:

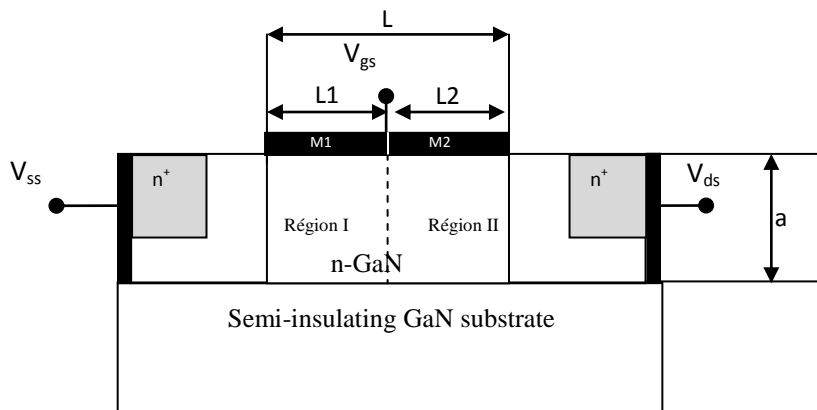


Figure III-1- Vue en coupe de la structure DM-GaN MESFET[42].

La structure d'un GaN MESFET à grille double-matériau est présentée sur la figure 1. Comme représenté sur la figure, la grille se compose de deux matériaux M1 et M2 de différents travaux de sortie déposées sur des longueurs respectives L1 et L2 sur la couche de canal avec $L = L1 + L2$, a est l'épaisseur de la couche active et $N_{D/S}$ représentent le niveau de dopage sur la région drain /source, respectivement. En utilisant l'analogie du circuit équivalent, un dispositif GaN MESFET à DM peut être représenté comme une combinaison en série de deux transistors GaN MESFET ayant des travaux de sortie pour chaque matériau de grille comme illustré dans [39].

Selon les modèles de courant de drains proposés par Memon et al [43] et F.Djeffal et al [39] pour une grille à simple et à double matériau de GaAs MESFET, l'expression analytique du courant de drain été modifiée en incorporant la dépendance de la température et elle est donnée comme

$$I_{ds} = I_{dss} \frac{T_0}{T} \left(1 - \frac{V_{eff}}{V_{th} + \Delta V_{th} + \gamma V_{ds}} \right)^2 \tanh(\alpha V_{ds}) (1 + \lambda V_{ds}) \quad (1)$$

où I_{dss} est le courant de drain de saturation, V_{ds} est la tension de drain appliquée, V_{th} représente la tension de seuil, ΔV_{th} est le changement de tension de seuil causés par les effets d'état l'interface, V_{eff} représente la tension efficace de grille appliquée donnée [43] par

$$V_{eff} = \frac{V_{gs} - V_{bi}}{1 + \eta e^{\frac{V_{gs} - V_{bi}}{V_{gs} - V_{bi}}}}, \text{ avec } V_{bi} \text{ représente le potentiel de construction, qui dépend}$$

essentiellement du travail de sortie du matériau de la grille, et η représente une constante qui simule la qualité de la barrière de Schottky. Dans l'équation. (1) il ya quatre paramètres d'optimisation qui décrivent les effets de canal court sur les caractéristiques électriques [43].

Dans la conception double matériau (DM), la grille se compose de deux matériaux différents avec des travaux de sortie ϕ_{M1} et ϕ_{M2} respectivement. Par conséquent, le potentiel de construction de la barrière de Schottky V_{bi} à la grille, pour chaque région, serait différent. Ainsi, le courant de drain de chaque transistor peut être obtenu en utilisant l'équation (1) et de la condition aux limites qui satisfait à la continuité du potentiel de canal et le courant de drain à l'interface des deux non similaires grille-matériaux de la grille. Par conséquent, on obtient

$$I_{ds} = I_{ds1} = I_{ds2} \quad (2a)$$

$$I_{ds1}(V_p) = I_{dss1} \frac{T_0}{T} \left(1 - \frac{V_{eff1}}{V_{th1} + \Delta V_{th1} + \gamma V_p} \right)^2 \tanh(\alpha V_p) (1 + \lambda V_p) \quad (2b)$$

$$I_{ds2}(V_p) = I_{dss2} \frac{T_0}{T} \left(1 - \frac{V_{eff2}}{V_{th2} + \Delta V_{th2} + \gamma(V_{ds} - V_p)} \right)^2 \tanh(\alpha(V_{ds} - V_p)) (1 + \lambda(V_{ds} - V_p)) \quad (2c)$$

L'influence de la température sur les paramètres présentés dans les équations (2b) et (2c) est donnée par

$$I_{dss1} = \frac{I_{fc}}{2} \left[h_a - \left[h_a^2 - \frac{4}{V_{p0}} (V_{p0} - (V_{bi1} + V_{gs})) \right]^{1/2} \right] \quad (3a)$$

$$I_{dss2} = \frac{I_{fc}}{2} \left[h_a - \left[h_a^2 - \frac{4}{V_{p0}} (V_{p0} - (V_{bi2} + V_{gs})) \right]^{1/2} \right] \quad (3b)$$

où

$$V_{p0} = \frac{qNa^2}{2\varepsilon_s(T)}$$

$$h_a = 2 + \frac{R_s I_{fc}}{V_{p0}} \quad (4)$$

R_s est la résistance série de la source et I_{fc} est le courant de saturation total donnée par

$$I_{fc} = qWv_{sat}(T)Q_a \quad (5)$$

Q_a est la charge de canal de conduction donnée par

$$Q_a = N_d \sqrt{\frac{2\varepsilon_s(T)V_{p0}}{qN_d}} \quad (6)$$

L'effet de la température sur la vitesse de saturation d'électrons de GaN est donné par [44],

$$v_{sat}(T) = v_{sat0} - \sigma_v T \quad (7)$$

v_{sat0} est la vitesse de saturation à la température ambiante et σ_v est une constante empirique spécifiée dans le tableau 1.

Paramètres	Valeur
L	$0.2\mu\text{m}$
W	$200\mu\text{m}$
a	$0.1\mu\text{m}$
L_1	$0.1\mu\text{m}$
N_d	$5 \times 10^{23} \text{ m}^{-3}$
T_0	300K
A^*	$14.7 \times 10^4 \text{ Am}^{-2} \text{ K}^{-2}$
ϕ_{m1} (for Au)	5.1eV
ϕ_{m2} (for Cu)	4.7eV
χ_{GaN}	4.1eV
ϵ_{s0}	$9\epsilon_0$
σ_s	10^{-4} K^{-1}
N_{c0}	$4.3 \times 10^{20} \text{ m}^{-3} \text{ K}^{-3/2}$
v_{sat0}	$2.8743 \times 10^5 \text{ m/s}$
σ_v	$98 \text{ ms}^{-1} \text{ K}^{-1}$
α	0.4
λ	0.01
γ	-0.01
η	2
R_s	90Ω
R_g	6Ω

Tableau III-1- Paramètres utilisés pour le calcul des résultats présentés dans les Figures.2-5

L'effet du courant de fuite sur la tension de seuil peut être représenté par la définition des chutes de tension (V_1 et V_2 pour chaque région) contribué par le courant de fuite [45]

$$V_1 = R_g L_1 W A^* T^2 \exp\left(\frac{-q\phi_{bn1}}{K_B T}\right) \quad (8a)$$

$$V_2 = R_g (L - L_1) W A^* T^2 \exp\left(\frac{-q\phi_{bn2}}{K_B T}\right) \quad (8b)$$

où A^* est le constant de Richardson, W est la largeur de grille, R_g est la résistance totale à laquelle le courant de grille circule et qui comprend la résistance de la partie extrinsèque (contact et la grille) et d'une partie intrinsèque qui est liée à la largeur de le région de déplétion, ϕ_{bn1} et ϕ_{bn2} sont les hauteurs de barrière semi-conducteur-métal qui représentent la différence entre le travail de sortie du métal et l'affinité électronique de GaN χ_{GaN} pour

chaque région, respectivement. La tension de seuil des deux dispositifs devra alors être modifiés et sont définis, respectivement, comme:

Pour la première région:

$$V_{th1} = \frac{qNa^2}{2\epsilon_s(T)} - V_{bi1}(T) - V_1(T) \quad (9a)$$

où

$$V_{bi1}(T) = \phi_{bn1} - \frac{kT}{q} \ln\left(\frac{N_c(T)}{N_d}\right) \quad (9b)$$

$$\Delta V_{th1} = \frac{4a}{3L_1} V_{th1} \quad (9c)$$

Pour la deuxième région:

$$V_{th2} = \frac{qNa^2}{2\epsilon_s(T)} - V_{bi2}(T) - V_2(T) \quad (10a)$$

où

$$V_{bi2}(T) = \phi_{bn2} - \frac{kT}{q} \ln\left(\frac{N_c(T)}{N_d}\right) \quad (10b)$$

$$\Delta V_{th2} = \frac{4a}{3(L - L_1)} V_{th2} \quad (10c)$$

V_p est le potentiel interfaciale peut être calculée numériquement en utilisant les conditions aux limites et l'expression courant de drain pour chaque région.

Le travail de sortie d'or et de cuivre à 300K sont 5.1eV et 4.7eV, et leurs coefficients de température sont $-6.8 \times 10^{-4} eV/K$ and $-7.3 \times 10^{-4} eV/K$, respectivement [46]. La dépendance de la température de l'affinité électronique χ_{GaN} est négligeable par rapport à la variation présentant dans le travail de sortie du métal [47], cela est donc supposé d'être fixé à 4.1eV pour tous les températures testés.

La variation de la densité effective des états dans la bande de conduction en fonction de la température est donnée comme [48],

$$N_c(T) = N_{c0} T^{3/2} \quad (11)$$

La dépendance en température de la constante diélectrique de GaN peut être approximée par [49],

$$\varepsilon_s(T) = \varepsilon_{s0} [1 + \sigma_s (T - T_0)] \quad (12)$$

ε_{s0} est la constante diélectrique à la température ambiante, N_{c0} et σ_s sont les constantes empiriques montrés dans le tableau 1.

Les expressions des paramètres en petits signaux (transconductance g_m , et conductance, g_d) sont dérivés en différenciant I_{ds} , donné dans l'équation (2b), en fonction de V_{gs} et V_{ds} respectivement.

$$g_m = 2I_{dss1} \frac{T_0}{T} \left[1 - \frac{V_{eff1}}{V_{th1} + \Delta V_{th1} + \gamma \mathcal{W}_p} \right] \times \left[\frac{V_{eff1}}{V_{gs} - V_{bi1}} (1 - \eta V_{eff1} e^{V_{gs} - V_{bi1}}) \right] \times \left[\frac{-1}{V_{th1} + \Delta V_{th1} + \gamma \mathcal{W}_p} \right] \times [\tanh(\alpha V_p)(1 + \lambda V_p)] \quad (13a)$$

$$g_d = 2I_{dss1} \frac{T_0}{T} \left[1 - \frac{V_{eff1}}{V_{th1} + \Delta V_{th1} + \gamma \mathcal{W}_p} \right] \times \left[1 - \frac{\gamma \mathcal{W}_{eff1}}{(V_{th1} + \Delta V_{th1} + \gamma \mathcal{W}_p)^2} \right] \times \tanh(\alpha V_p)(1 + \lambda V_p) + I_{dss1} \left[1 - \frac{V_{eff1}}{V_{th1} + \Delta V_{th1} + \gamma \mathcal{W}_p} \right]^2 \times [1 - \tanh^2(\alpha V_p)(1 + \lambda V_p) + \lambda I_{dss1} \left[1 - \frac{V_{eff1}}{V_{th1} + \Delta V_{th1} + \gamma \mathcal{W}_p} \right]^2 \times \tanh(\alpha V_p)] \quad (13b)$$

III-3- Résultats Et Discussion:

Afin d'étudier l'influence de la température sur les performances du dispositif, DM GaN MESFET est étudié et les résultats sont présentés. Les résultats analytiques obtenus sont comparés avec les résultats de la simulation obtenus par le simulateur de dispositif ATLAS 2D [42]. Les valeurs des paramètres utilisés pour le calcul sont mentionnées dans le tableau 1. La figure (III-2) montre la variation de la caractéristiques $I-V$ pour la longueur de canal de $0.2 \times 200 \mu\text{m}^2$ ($L_1 = 0.1 \mu\text{m}$) pour la structure DM GaN MESFET à la température ambiante et à 500K. Il est montré à partir de la figure 2 que les résultats analytiques sont en excellent accord avec ceux de la simulation. On peut voir que le dispositif indique un courant maximal de drain (définie à $V_{ds}=10\text{V}$ et $V_{gs}=0\text{V}$) de 33.65 mA à la température ambiante. Lorsque la température augmente, la tension du genou et le courant de saturation diminuent. Par conséquent, le courant maximum de drain défini aux mêmes tensions appliquées tombe à 21.12 mA à 500K.

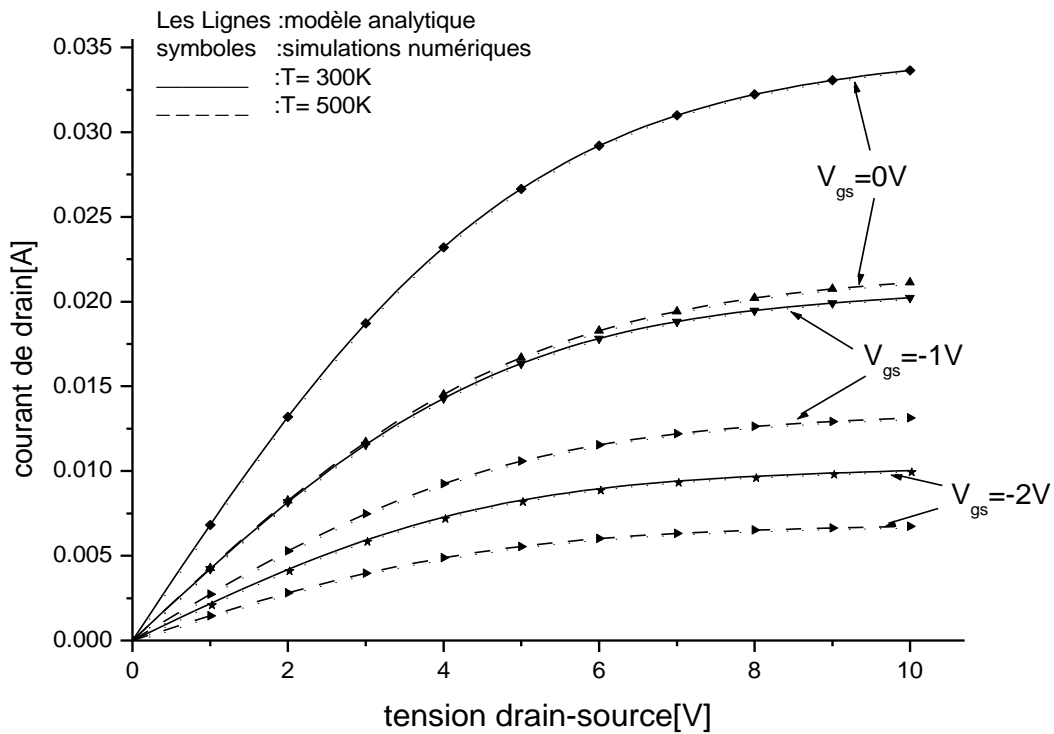


Figure III-2- caractéristiques de sortie pour une longueur de canal de $0.2 \times 200 \mu\text{m}^2$ ($L_1 = 0.1 \mu\text{m}$) pour la structure DM GaN MESFET à 300 et 500K pour différentes tensions de grille.

Ainsi, la différence est principalement observée à haute tension de grille appliquée. La réduction du courant de drain est expliquée par la dégradation de la mobilité des électrons à haute température. Figure (III-3) illustre le courant de drain calculé en fonction de la température pour le même dispositif à des tensions appliquées fixes. On voit clairement que le courant de drain est affecté par l'augmentation de température de 250 à 500K. La diminution du courant de drain est principalement due à la dégradation de la mobilité en fonction de la température.

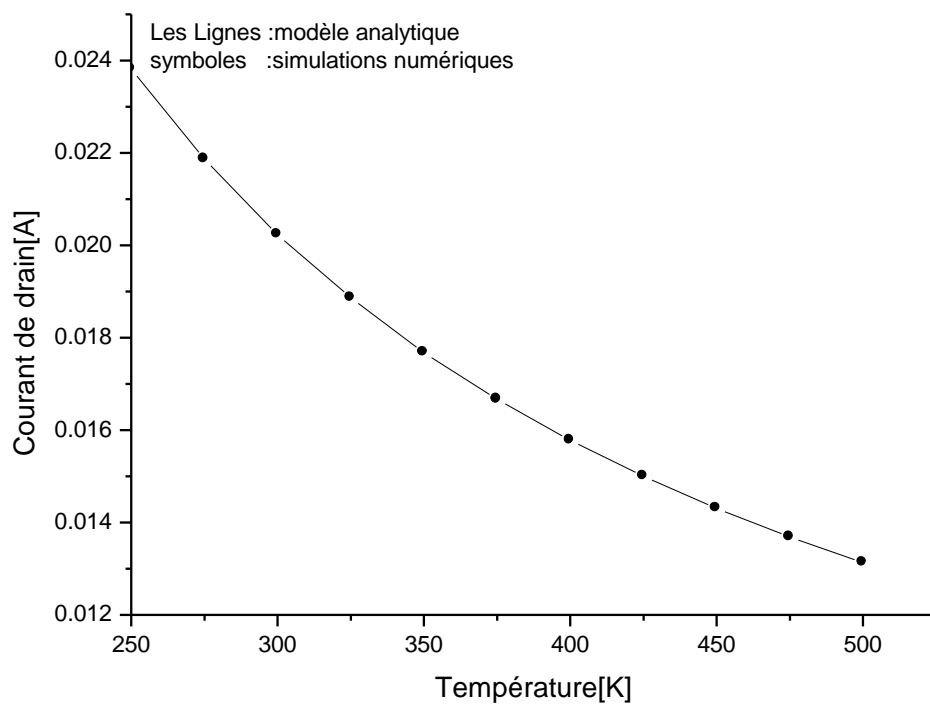


Figure III-3- Variation du courant de drain en fonction de la température à $V_{ds}= 10V$ et $V_{gs}= -1V$.

Sur la figure (III-4), le courant de drain est tracé en fonction de la tension de grille pour deux températures différentes. Il est clair que le modèle analytique est en bon accord avec les résultats de la simulation sous diverses températures testées.

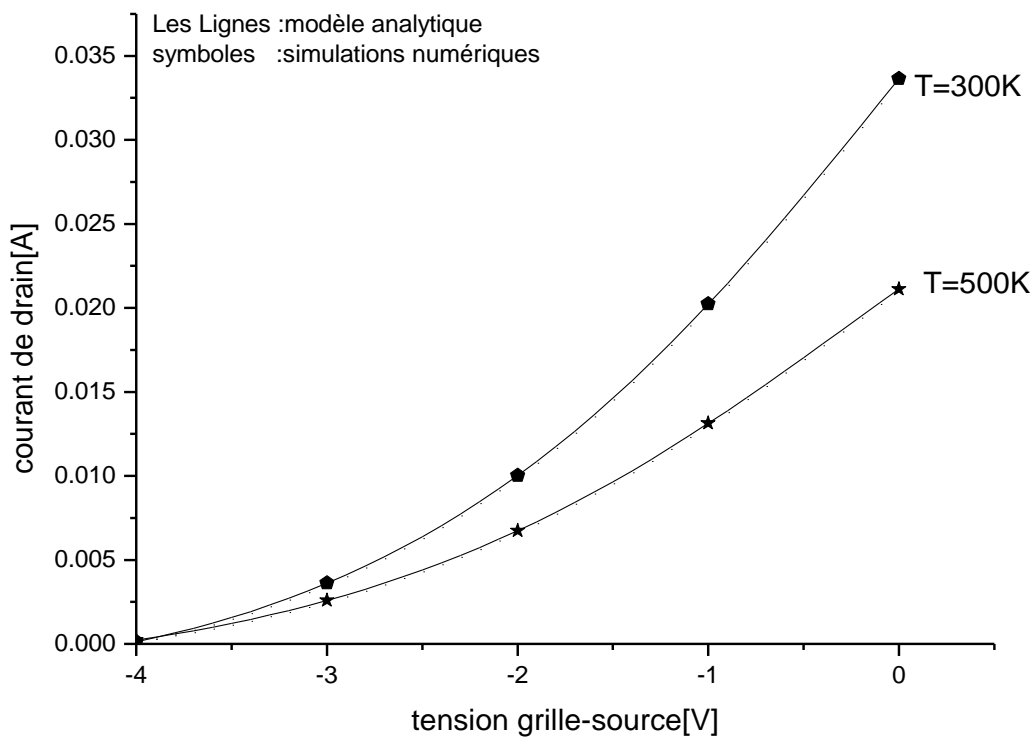


Figure III-4- caractéristiques I - V de $0.2 \times 200 \mu\text{m}^2$ ($L_g = 0.1 \mu\text{m}$) pour la structure DM GaN MESFET à 300K et 500K.

La comparaison entre le modèle analytique et les résultats simulés de la transconductance pour la structure DM MESFET à base de GaN en fonction de la température pour deux polarisations différentes de drain est illustrée sur la figure (III-5). Comme on le voit sur la figure, la transconductance est légèrement diminuée lorsque la température est augmentée de 250 à 500K, celle-ci peut être interprétée par la réduction de la mobilité en fonction de la température. Cela signifie que le dispositif peut supporter le fonctionnement à haute température.

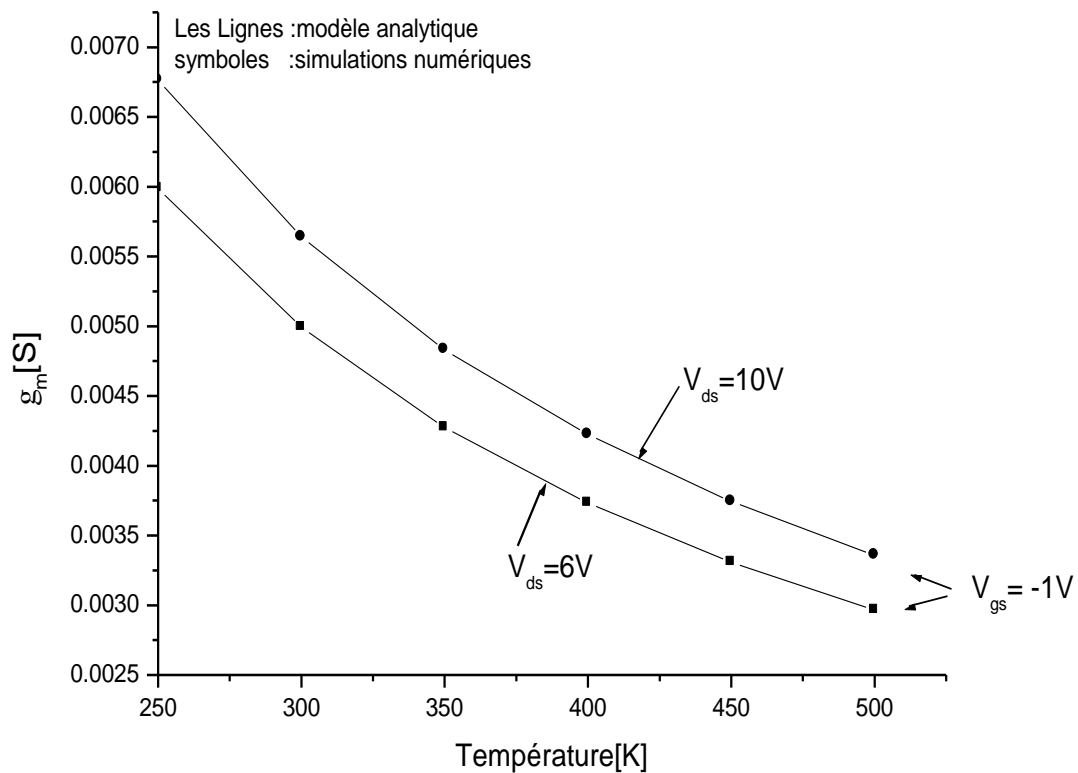


Figure III-5- Transconductance en fonction de la température à $V_{ds}= 6V, 10V$ et $V_{gs}=-1V$.

III-4- Conclusion:

Ce travail rapporte un modèle analytique incorporé l'effet de la température sur les caractéristiques $I-V$ et les paramètres en petits signaux de GaN MESFET submicronique à grille double matériau. Il est remarqué que les performances du dispositif est thermiquement stable jusqu'à 500K. Cela signifie que la conception proposée est très efficace pour un fonctionnement à haute température. Les résultats du modèle ont été comparés avec ceux de simulation obtenus à partir du simulateur des dispositifs ATLAS 2D où un bon accord est observé entre eux. Le modèle proposé rend le DM GaN MESFET très approprié pour les applications à haute puissance et à haute température.

Conclusion générale

L'évolution des transistors MESFETs vers le domaine submicronique nécessite une modélisation qui permet de prendre en compte les effets de canaux courts sert à améliorer le courant de drain dans des conditions de températures élevées jusqu'au 500K, dont le but d'évaluer de nouvelles architectures basée sur l'utilisation de dual matériau dans la fabrication de la grille.

Le travail reporté dans ce mémoire consiste à modéliser et simuler l'influence de la température sur les performances électriques du transistor DM GaN MESFET afin d'étudier la miniaturisation des dispositifs submicroniques.

Dans le premier chapitre, nous avons décrit les propriétés des matériaux III-V. Ensuite, nous avons montré une généralité sur les transistors à effet de champ tels que JFET, MOSFET, MESFET et HEMT. Leurs descriptions géométriques et physiques, leurs principes de fonctionnement et également leurs contraintes et domaines d'applications ont été présentés.

Nous avons exposé dans le deuxième chapitre la technologie SOI. Ensuite, nous avons décrit les avantages de la technologie SOI par rapport à celle Bulk. Les différentes structures des transistors MOSFET ont été présentées afin de montrer le comportement de chaque structure par rapport à l'autre pour réduire les effets à canaux courts.

Le chapitre trois est destiné au développement d'un modèle analytique incorporé l'effet de la température sur les caractéristiques I-V et les paramètres en petits signaux de GaN MESFET submicronique à grille double matériau. Il est remarqué que les performances du dispositif est thermiquement stable jusqu'à 500K. Cela signifie que la conception proposée est très efficace pour un fonctionnement à haute température. Les résultats du modèle ont été comparés avec ceux de simulation obtenus à partir du simulateur des dispositifs ATLAS 2D où un bon accord est observé entre eux. Le modèle proposé rend le DM GaN MESFET très approprié pour les applications à haute puissance et à haute température.

Références

- [1]: Samia AMOURACHE "Modélisation du transistor à effet de champ a grille Schottky a l'arséniure de gallium" Thèse de doctorat, Université de Constantine, 2007
- [2]: T. BOUMAAZA "Caractérisation d'un MESFET à grille fondue pour la détection optique" Thèse de doctorat, 3 cycle, 1987.
- [3]: Gilbert PASCAL " Etude des transistors HEMT ", site Internet, espace perso : www.eudil.fr,2005.
- [4]:W. SHOCKLEY "A Unipolar Field Effect Transistor ". Proc. Of the IRE, vol.40, pp.1365-1376, 1952.
- [5]: Souad BELHOUR "Simulation du transistor à effet de champ a grille Schottky à l'arséniure de gallium MESFET GaAs " Mémoire de magister, Université de Constantine, 2007.
- [6]: Hilde Muller et Jan Nicolas Myklebust "Les composants actifs hyperfréquences" www.etud.insa-toulouse.fr/~sroy/cce/Transistors_HF.doc
- [7]: Olivier VANBESIEN "Modèles linéaires et non linéaires des composants actifs pour la CAO. Hyperfréquences", Cours DESS, septembre 2003.
- [8]: Renuka P. Jindal "Compact Noise Models for MOSFETs" IEEE Transactions On Electron Devices, Vol. 53, NO. 9, SEPTEMBER 2006.
- [9]: Henry MATHIEU " physique des semi-conducteurs et des composants électroniques" Edition MASSON (2004).
- [10]: Rachid KHLIL "hétéro structures AlGaAs/GaAs par des mesures courant-tension et Thèse de doctorat, Université de Reims Champagne-Ardenne, 2005.
- [11]: Michel HUBIN, <http://pagesperso-orange.fr/michel.hubin/index.htm>
- [12]:J.E. Lilienfeld, "Amplifier for electric currents", US Patent No. 1, 877,140, application Filed Décembre 8, 1928.
- [13]: John Bardeen et al, three electrode circuit élément, U.S. Patent No. 2, 524,035, Issued Octobre 3, 1950. Filed June 17, 1948.
- [14]: Jack Kilby, Miniaturized Electronic Circuits, U.S. Patent No. 3, 138,743, June 23, 1964.
- [15]: Mohamed Amir ABDI. "Modélisation de l'inverse de la pente sous seuil des transistor FETs nanométriques" Mémoire de magister, Université de Batna, 2006
- [16]: JC.MICHEL " COURS : Les transistors à effet de champ" <http://JC.MICHEL.free.fr>

- [17]: FAYCAL DJEFFAL "Modélisation et simulation prédictive du transistor MOSFET fortement submicronique, Application à la conception des dispositifs Intégrés" Thèse de doctorat, Université de Batna, 2006.
- [18]: Nicolas DUBUC "Modélisation Electrothermique de transistors MESFET SiC et optimisation d'une architecture Doherty pour l'amplification de puissance à haut rendement" Thèse doctorat d'état, Université de Limoges, 2003
- [19] Semiconductor Industry Association, The international roadmap for semiconductors, 2004
- [20] Marie-Emma ARBEY-RAZATOVO, "Filière CMOS 0.1um sur substrat SOI : étude du temps de propagation de l'inverseur par simulation particulière Monte Carlo », Thèse de doctorat, Université Paris-Sud, 1998.
- [21] Laurent VIVIEN et al. "Experimental demonstration of a low loss optical Htree distribution using silicon-on-insulator microwaveguides », Applied Physics Letters, , 2004.
- [22] Frédéric ALLIBERT et al. « From SOI materials to innovative devices », Solid- State Electronics, February 2001.
- [23] Jacques GAUTIER et al. "Physique des dispositifs pour circuits intégrés silicium », Hermès, 2003.
- [24] Thomas Skotniki, "The end of CMOS scaling », IEEE circuits and design magazine, Jan/Feb 2005.
- [25] J.P. Colinge and C.A. Colinge, Physics of semiconductor devices, , Springer publishers, New York, USA, 2005.
- [26] J.G. Fossum, Analytical modeling of quantization and volume inversion in thinSi-film DG MOSFETs, IEEE Transactions on Electron Devices, vol. 49, no. 2, pp. 287-294, 2002.
- [27] S. Cristoloveanu and S. S. Li, Electrical characterization of silicon-on-insulator materials and devices, Kluwer Academic Publishers, Boston, USA, 1995.
- [28] J. Colinge, Silicon-on-insulator technology: Materials to VLSI, Kluwer Academic Publishers, Boston, USA, 3rd edition, 1997.
- [29] P. K. Bondyopadhyay, Moore's law governs the silicon revolution, Proceedings of IEEE, vol. 86, no. 1, pp. 78-81, 1998.
- [30] J.P. Colinge, Multi-gate SOI MOSFETs, Microelectronic Engineering, vol. 84, no. 9-10, pp. 2071-2076, 2007.
- [31] J-H. Rhew, Z. Ren, and M-S. Lundstrom, A numerical study of ballistic transport in a nanoscale MOSFET, Solid-State Electronics, vol. 46, no. 11, pp. 1899–1906, 2002.

- [32] M. Mouis, and A. Poncet, Coupling between 2D and quantum confinement effects in ultra-short channel double-gate MOSFETs, ESSDERC'2001, Germany, pp. 211–214, 2001.
- [33] C. Lee, W. Lu, E. Piner, I. Adesida. : “DC and microwave performance of recessed- gate GaN MESFETs using ICP-RIE”, Solid State Electron, 2002, 46, pp.743–746.
- [34] F. Djeflal, N. Lakhdar, M. Meguellati, A. Benhaya. : “Particle swarm optimization versus genetic algorithms to study the electron mobility in wurtzite GaN-based devices”, Solid State Electron, 2009, 53, pp. 988–992.
- [35] N. Lakhdar , F. Djeflal, Z. Dibi. : “A Two-Dimensional Numerical Analysis of Subthreshold Performances for Double-Gate GaN-MESFETs”, AIP Conf. Proc, 2010, 1292, pp. 173-176.
- [36] S. Kabra, H. Kaur, S. Haldar, M. Gupta, R.S. Gupta. : “Two-dimensional subthreshold analysis of sub-micron GaN MESFET”, Microelectronics Journal, 2007, 38, pp. 547–555.
- [37] C. Gaquiere, S. Trassaert, B. Boudart, Y. Crosnier. : “High Power GaN MESFET on sapphire substrate”, IEEE Microwave Guided Wave Lett, 2000, 10, pp. 19–20.
- [38] H. Elahipanah, : “Record gain at 3.1 GHz of 4H-SiC high power RF MESFET”, Microelectronics Journal, 2011, 42, pp. 299–304.
- [39] F. Djeflal, N.Lakhdar. : “An improved analog electrical performance of submicron Dual-Material gate (DM) GaAs-MESFETs using multi-objective computation”, J Comput Electron, 2013,12, pp. 29-35.
- [40] Iqbal,U., Ahmed, M.M., Memon, N.M. : “An efficient small signal parameters estimation technique for submicron GaAs MESFETs”. In: IEEE International Conf. on Emerging Technologies (ICET2005), Pakistan (2005).
- [41] H. Ye, M. Kasu , K. Ueda , Y. Yamauchi , N. Maeda , S. Sasaki , T. Makimoto. : “Temperature dependent DC and RF performance of diamond MESFET”, Diamond & Related Materials, 2006, 15, pp. 787–791.
- [42] ATLAS: 2D Device Simulator. SILVACO International (2008)
- [43] N.M. Memon, M.M. Ahmed, F. Rehman. : “A comprehensive four parameters I-V model for GaAs MESFET output characteristics”, Solid-state Electronics, 2007, 51, pp. 511-516.
- [44] Bunea GE, Dunham ST, Moustakas TD. : “Modeling of a GaN based static induction transistor”, MRS Internet J N S R; 4S1:G6.41,1999.
- [45] Chang-Sub Won, Hyungkeun Ahn, Deuk-Young Han, Mahmoud A. El Nokali. : “D.C. characteristic of MESFETs at High Temperatures”, Solid-State Electronics, 1999, 43, pp. 537-542.

- [46] I. I. Rosenberg, R. H. Howell, and M. I. Fluss. : “Temperature dependence of the positronium work function”, *Physical Review B*, 1987, 35, pp. 2083-2086.
- [47] S. P. Grabowski, M. Schneider, H. Nienhaus, W. Mönch, R. Dimitrov, O. Ambacher and M. Stutzmann, : “Electron affinity of $\text{Al}_x\text{Ga}_{1-x}\text{N}(0001)$ surfaces, on model”, *Applied Physics Letters*, 2001, 78, pp. 2503-2505.
- [48] Zubrilov A. In: Levinshtein ME, Rumyantsev SL, Shur MS, editors. : “Properties of advanced semiconductor materials GaN, AlN, InN, BN, SiC, SiGe”. New York: John Wiley & Sons, Inc.; pp.49– 6, 2001.
- [49] Pearton PJ. GaN and related materials. : “Optoelectronic properties of semiconductors and superlattices”, vol. 2. Gordon and Breach Science Publishers, 1997.